

SEMICONDUCTOR STORAGE DEVICE

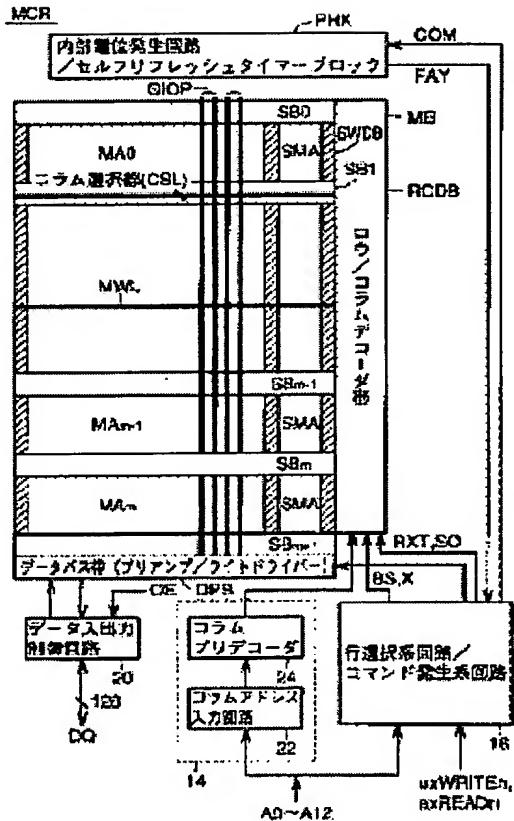
Patent number: JP2001357670
Publication date: 2001-12-26
Inventor: ARIMOTO KAZUTAMI; SHIMANO HIROKI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
 - **international:** G11C11/403; G11C11/406
 - **European:**
Application number: JP20000279456 20000914
Priority number(s):

Also published as:
 US6744684 (B2)
 US2002159318 (A1)

Abstract of JP2001357670

PROBLEM TO BE SOLVED: To provide a system LSI which realizes access similar to SRAM and incorporates a DRAM core without the need of giving a refresh control signal.

SOLUTION: A self-refresh timer is always set in an operation state and a refresh request signal FAY is periodically activated. A row selection system circuit/command generation system circuit 16 controls a row system control signal so that a refresh operation is performed after reading/writing operations terminate when the refresh request signal FAY is competed with a reading command or writing command. A sub-memory array SMA is thinned much more compared with a conventional case and a refresh cycle terminates in a short time. Thus, the DRAM core in which reading and refresh can be terminated within reading cycle time and which can be used with simple control similar to SRAM is realized.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-357670

(P2001-357670A)

(43)公開日 平成13年12月26日 (2001.12.26)

(51)Int.Cl.⁷
G 11 C 11/403
11/406

識別記号

F I
G 11 C 11/34

デ-マコ-ド*(参考)
3 6 3 M 5 B 0 2 4
3 6 3 F
3 6 3 K
3 7 1 J

審査請求 未請求 請求項の数17 O L (全 29 頁)

(21)出願番号 特願2000-279456(P2000-279456)
(22)出願日 平成12年9月14日(2000.9.14)
(31)優先権主張番号 特願2000-113097(P2000-113097)
(32)優先日 平成12年4月14日(2000.4.14)
(33)優先権主張国 日本 (JP)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 有本 和民
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(72)発明者 島野 裕樹
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(74)代理人 100064746
弁理士 深見 久郎 (外4名)

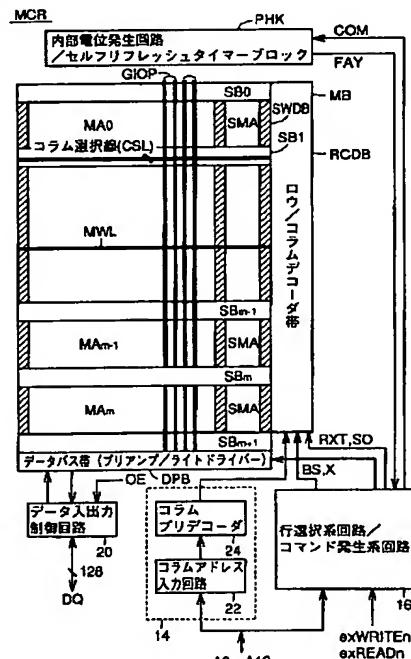
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 リフレッシュ制御信号を与える必要がなく、SRAMと同様なアクセスが可能な、DRAMコアを内蔵するシステムLSIを提供する。

【解決手段】 セルフリフレッシュタイムは常に動作状態とされリフレッシュ要求信号FAYを定期的に活性化する。行選択系回路/コマンド発生系回路16は、リフレッシュ要求信号FAYと外部からのリードコマンドまたはライトコマンドとが競合したときには、たとえばリードやライト動作が終了してからリフレッシュ動作を行なわれるようロウ系制御信号を制御する。サブメモリアレイSMAは従来と比べて細分化され、リフレッシュサイクルは短時間で終了するので、リードサイクル時間内でリードとリフレッシュとを終了させることができ、SRAMと同様な簡単な制御で使用できるDRAMコアを実現することができる。



【特許請求の範囲】

【請求項1】 行および列状に配置される複数のメモリセルを含むメモリアレイと、前記複数のメモリセルが保持するデータをリフレッシュするために必要な時間間隔で、リフレッシュ要求信号を出力するリフレッシュタイミング制御回路と、アクセスコマンドに応じて内部コマンド信号を発生するコマンド発生回路と、前記内部コマンド信号および前記リフレッシュ要求信号に応じて前記メモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、前記行選択制御回路は、前記内部コマンド信号に応じて活性化し、前記メモリアレイの行選択動作のタイミング信号を出力するタイミング制御回路と、前記リフレッシュ要求信号を受けて保持し、前記タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力するリフレッシュ制御回路と、前記内部リフレッシュコマンド信号に応じて活性化し、前記タイミング制御回路に代わって前記タイミング信号を出力するリフレッシュタイミング制御回路とを含み、前記タイミング信号に応じて前記メモリアレイの行選択を行なう行選択回路をさらに備える、半導体記憶装置。

【請求項2】 前記アクセスコマンドは、

読み出コマンドを含み、

前記半導体記憶装置が前記アクセスコマンドを受けてから次のアクセスコマンドを受けることができるまでの基本サイクル時間は、前記内部コマンド信号が出力されてから前記メモリアレイよりデータの読み出しが完了するまでの通常読み出サイクル時間と、前記内部リフレッシュコマンド信号が出力されてから前記メモリアレイの前記内部リフレッシュコマンド信号に対応する部分のリフレッシュが完了するまでのリフレッシュサイクル時間との合計時間以上である、請求項1に記載の半導体記憶装置。

【請求項3】 前記リフレッシュ制御回路は、

前記リフレッシュ要求信号を受けて保持するラッチ回路と、

前記ラッチ回路の出力が前記リフレッシュ要求信号が入力されたことを示し、かつ、前記タイミング制御回路が非活性化されている場合に前記内部コマンド信号の基となるパルスを出力するパルス発生回路とを有する、請求項2に記載の半導体記憶装置。

【請求項4】 前記コマンド発生回路は、前記アクセスコマンドを保持し、前記リフレッシュタイミング制御回路が活性化されている場合には、前記リフレッシュタイミング制御回路が非活性化されるまで待ってから前記内部コマンド信号を出力する、請求項2に記載の半導体記憶装置。

【請求項5】 前記コマンド発生回路は、

前記アクセスコマンドを受けて保持するラッチ回路と、

前記ラッチ回路の出力が前記アクセスコマンドが入力されたことを示し、かつ、前記リフレッシュタイミング制御回路が非活性化されている場合に前記内部コマンド信号の基となるパルスを出力するパルス発生回路とを有する、請求項4に記載の半導体記憶装置。

【請求項6】 前記コマンド発生回路は、

前記アクセスコマンドに応じてコマンド発生基準信号を出力する内部コマンド発生回路と、

前記コマンド発生基準信号を少なくとも前記リフレッシュサイクル時間以上遅延させて前記内部コマンド信号を出力する遅延回路とを含み、

前記リフレッシュ制御回路は、前記リフレッシュ要求信号を受けて保持し、前記タイミング制御回路が非活性状態になったときに前記内部リフレッシュコマンド信号を出力する、請求項2に記載の半導体記憶装置。

【請求項7】 前記リフレッシュ制御回路は、

前記リフレッシュ要求信号を保持するラッチ回路と、

前記ラッチ回路の出力が前記リフレッシュ要求信号が入力されたことを示し、かつ、前記タイミング制御回路が非活性状態になったときに前記内部リフレッシュコマンド信号の基となるパルスを出力するパルス発生回路とを有する、請求項6に記載の半導体記憶装置。

【請求項8】 前記メモリアレイからの出力を受けて読み出データとして保持し出力イネーブル信号を受けて前記読み出データを出力するデータ入出力制御回路をさらに備える、請求項2に記載の半導体記憶装置。

【請求項9】 前記行選択制御回路は、

与えられる行アドレスを保持して通常行アドレスを出力するアドレスラッチ回路と、

リフレッシュする行に対応するリフレッシュ行アドレスを順次更新して出力するリフレッシュカウンタ回路と、前記通常行アドレスと前記リフレッシュ行アドレスとを受けて、前記内部リフレッシュコマンド信号に応じていずれか一方を前記メモリアレイの行選択を行なうアドレスとして出力する選択回路とをさらに含む、請求項2に記載の半導体記憶装置。

【請求項10】 前記メモリアレイは、

独立して行選択動作が可能な複数のバンクを含み、前記リフレッシュ制御回路は、前記通常行アドレスが示すバンクと前記リフレッシュ行アドレスが示すバンクとが一致する場合には、前記タイミング制御回路が非活性となってから前記内部リフレッシュコマンド信号を出力する、請求項9に記載の半導体記憶装置。

【請求項11】 前記アドレスラッチ回路は、前記与えられる行アドレスをクロック信号に同期して読み込む、請求項9に記載の半導体記憶装置。

【請求項12】 前記アクセスコマンドをクロック信号に同期して読み込み、前記コマンド発生回路に与えるラッチ回路をさらに備える、請求項2に記載の半導体記憶装置。

【請求項13】 行および列状に配置される複数のメモリセルを含むメモリアレイと、

前記メモリアレイに対するアクセスコマンドが与えられたことを示すコマンド検出信号と前記アクセスコマンドに対応する内部コマンド信号とを出力するコマンド検出回路と、

前記内部コマンド信号に応じて前記メモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、前記行選択制御回路は、

与えられる行アドレスを前記コマンド検出信号に応じて読み込み内部行アドレスとして保持する保持回路と、前記行アドレス信号の変化を検出すると第1の所定時間経過後に前記行アドレスと前記内部行アドレスとを比較して前記内部行アドレスを前記メモリアレイの行選択に使用するか否かを判断する比較回路とを含む、半導体記憶装置。

【請求項14】 前記比較回路は、

前記行アドレスの変化を検出するアドレス変化検出回路と、

前記アドレス変化検出回路の出力を前記第1の所定時間だけ遅延させる遅延回路と、

前記遅延回路の出力に応じて、前記行アドレスと前記内部行アドレスとを比較するアドレス比較部とを含む、請求項13に記載の半導体記憶装置。

【請求項15】 前記アドレス比較部は、アドレス比較結果が不一致の場合には、前記保持回路に再度前記行アドレスの読み込みを指示する、請求項14に記載の半導体記憶装置。

【請求項16】 前記比較回路は、前記行アドレスと前記内部行アドレスとが一致しない時は、前記保持回路に再度前記行アドレスの読み込みを指示し、

前記行選択制御回路は、

前記コマンド検出信号に応じて第2の所定時間経過後に、前記保持回路に対し前記内部行アドレスの更新を禁止する遅延回路をさらに含む、請求項13に記載の半導体記憶装置。

【請求項17】 前記第2の所定時間は、前記半導体記憶装置が前記アクセスコマンドを受けてから次のアクセスコマンドを受けることができるまでの基本サイクル時間の半分である、請求項16に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体記憶装置に関し、より特定的にはリフレッシュの制御が簡易化されたダイナミックランダムアクセスメモリ(DRAM)に関する。

【0002】

【従来の技術】 近年、プロセッサまたはASIC(特定用途向けIC)などのロジックと大記憶容量のダイナミックランダムアクセスメモリ(DRAM)とを同一半導

体チップ(半導体基板)上に集積化したロジック内蔵DRAMなどのシステムLSIが使用されるようになってきている。

【0003】 このような、システムLSIにおいては、128ビットから512ビットの多ビットの内部データバスでロジックとDRAMとを相互接続することにより、端子数の少ない汎用DRAMとロジックLSIとをプリント基板上で接続して用いる場合に比べて1ないし2桁以上の高速のデータ転送を実現することができる。

【0004】 また、ロジックに対し汎用DRAMを外付けする方式に比べて、ロジックの外部ビン端子数を低減することができる。

【0005】 さらに、システムLSI内部では、DRAMブロックとロジックとは内部配線で接続される。この内部配線の長さは、プリント基板上の配線に比べて十分短く、寄生インピーダンスも小さいため、データバスの充放電電流を大幅に低減でき、かつ、高速で信号の転送を行なうことができる。

【0006】 これらの理由により、DRAM混載のシステムLSIは、3次元グラフィック処理、画像・音声処理などの大量のデータを扱う処理を行なう情報機器においてその性能を向上させる上で大きく寄与している。

【0007】 図34は、従来のシステムLSIに内蔵されるDRAMの回路ブロックの構成を概略的に示す図である。

【0008】 図34を参照して、DRAM回路ブロックは、複数のメモリアレイMA0～MA_nと、メモリアレイMA0～MA_nの間に配設されるセンスアンプ帯SB1～SB_nと、メモリアレイMA0およびMA_nの外側に配置されるセンスアンプ帯SB0およびSB_n+1を含む。メモリアレイMA0～MA_nの各々は、サブワードドライバ帯SWDBにより複数のメモリサブアレイMSAに分割される。

【0009】 メモリアレイMA0～MA_nの各々において、サブワードドライバ帯SWDBにより分割されるメモリサブアレイMSAと共にメインワード線MWLが配設される。メインワード線MWLは、対応のメモリアレイの各メモリサブアレイMSAの所定数のサブワード線に対応してそれぞれ配置される。メインワード線MWLおよびセンスアンプ帯上に配置される所定数のサブデコード線SDLが、サブワードドライバ帯SWDB内のサブワードドライバに入力されて、一本のサブワード線が選択される。

【0010】 センスアンプ帯SB1～SB_nの各々は、隣接メモリアレイにより共有される。メモリアレイMA0～MA_nに対応してメインワード線およびサブデコード線をロウアドレス信号に従って選択するロウデコーダが配置され、またロウデコーダと整列してコラムアドレス信号に従ってメモリアレイから列を選択するための列選択信号を列選択線CSL上に伝達するコラムデコーダ

が配置される。

【0011】列選択線CSLはセンスアンプ帯に配設され、選択時に所定数のセンスアンプ回路を内部データ線対G I O Pの群に接続する。内部データ線対G I O Pは、所定数がメモリアレイMA0ないしMA nをわたって延在して配設され、ローカルデータ線を介して選択されたセンスアンプ回路と結合される。

【0012】内部データ線対G I O Pは、128ビットから512ビット設けられ、ブリアンプおよびライトドライバを含むデータバス帯D P Bに結合される。このデータバス帯D P Bにおいては、内部データ線対G I O Pそれぞれに対応してブリアンプおよびライトドライバが配置される。内部データ線対G I O Pは、書込データおよび読出データ両者を伝達する伝達線対であってもよく、また読出データを伝達するバス線対および書込データを伝達する書込データ線対が別々に内部データバス線対として設けられてもよい。

【0013】DRAM回路ブロックは、さらに、ロジックから与えられるたとえば13ビットの外部アドレスA 0～A 12を受けるローアドレス入力回路/リフレッシュカウンタRAFKおよびコラムアドレス入力回路CA Kと、ロジックから与えられる外部制御信号CLK, C KE, /CS, /RAS, /CAS, /WE, DMを受け、各種動作を指定する内部制御信号を生成するコマンドデコーダ/制御回路CDCと、データバス帯D P Bとロジックとの間でデータの転送を行なうためのデータ入出力制御回路D I O Kを含む。

【0014】コマンドデコーダ/制御回路CDCは、クロック信号CLK、クロックイネーブル信号CKE、ローアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WEおよびデータマスク信号DMを受け、これらの制御信号の立上がりエッジにおける論理状態に応じて指定された動作モードを判別する。この場合、これらの複数の制御信号CKE, /RAS, /CAS, /WEのクロック信号CLKの立上がりエッジにおける論理状態の組合せにより、「コマンド」が指定される。

【0015】データマスク信号DMは、データ入出力制御回路D I O Kに与えられるデータに対し、バイト単位で書込のマスクを指示する。コマンドデコーダ/制御回路CDCは、ロジックから与えられるコマンドをデコードし、このコマンドにより指定される動作モードを指示する動作モード指示信号を生成し、指定された動作モードを行なうための各種内部制御信号を生成する。

【0016】コマンドには、行を選択状態に設定するためのローアクティブコマンド、データ読出を指示するリードコマンド、データ書込を指示するライトコマンド、選択行を非選択状態へおくためのプリチャージコマンド、リフレッシュ動作を行なうためのオートリフレッシュコマンド、セルフリフレッシュを行なうためのセルフ

リフレッシュコマンドなどが含まれる。

【0017】ローアドレス入力回路/リフレッシュカウンタRAFKは、ローアクティブコマンドが与えられると、コマンドデコーダ/制御回路CDCの制御の下に、外部アドレスビットA 0～A 12、ローアドレスとして取込み、内部ローアドレス信号を生成する。

【0018】このローアドレス入力回路/リフレッシュカウンタRAFKは、与えられたアドレスビットをバッファ処理するアドレスバッファと、バッファ回路の出力信号をラッチするアドレスラッチを含む。

【0019】ローアドレス入力回路/リフレッシュカウンタRAFKに含まれるリフレッシュカウンタは、オートリフレッシュコマンドまたはセルフリフレッシュコマンドが与えられたとき、リフレッシュ行を指定するリフレッシュアドレスを生成する。リフレッシュ動作完了後、このリフレッシュカウンタのカウント値が増加または減少される。

【0020】コラムアドレス入力回路CAKは、リードコマンドまたはライトコマンドが与えられると、コマンドデコーダ/制御回路CDCの制御の下に、たとえば外部アドレスビットのうちアドレスビットA 0～A 4の下位の部分を取り込み、内部コラムアドレス信号を生成する。このコラムアドレス入力回路CAKも、アドレスバッファおよびアドレスラッチを含む。

【0021】ローアドレス入力回路/リフレッシュカウンタRAFKからの内部ローアドレス信号はロウブリデコーダRPDへ与えられ、コラムアドレス入力回路CA Kからの内部コラムアドレス信号は、コラムブリデコーダCPDへ与えられる。

【0022】ロウブリデコーダRPDは、与えられた内部ローアドレス信号をブリデコードして、ブリデコード信号をロウ/コラムデコーダ帯RCDBに含まれるロウデコーダへ与える。コラムブリデコーダCPDは、コラムアドレス入力回路CAKからの内部コラムアドレス信号をブリデコードし、ブリデコード信号をロウ/コラムデコーダ帯RCDBに含まれるコラムデコーダへ与える。

【0023】コマンドデコーダ/制御回路CDCは、リードコマンドまたはライトコマンドを受けると、データ入出力制御回路D I O Kおよびデータバス帯D P Bに含まれるブリアンプおよびライトドライバの動作の制御を行なうための内部制御信号を生成する。クロック信号CLKは、このDRAM回路ブロックの内部動作タイミングを決定する基準信号として利用される。

【0024】データ入出力制御回路D I O Kは、クロック信号CLKに同期してデータの入出力を行ない、またローアドレス入力回路/リフレッシュカウンタRAFKのローアドレス入力回路およびコラムアドレス入力回路CAKは、クロック信号CLKに同期して、与えられたアドレスビットの取込みおよびラッチを行なう。

【0025】DRAM回路ブロックは、さらに、内部電圧VPP、VCCS、VCCP、VBLおよびVCPを発生する内部電圧発生回路と、セルフリフレッシュモードが指定されたときすなわちコマンドデコーダ／制御回路CDCから与えられるコマンドCOMがセルフリフレッシュコマンドであったときに所定の間隔で、リフレッシュ要求信号FAYを活性化するセルフリフレッシュタイマを含むプロックPHKを含む。

【0026】内部電圧VPPは、選択サブワード線SWL上に伝達される電圧であり、通常、動作電源電圧よりも高い電圧レベルである。電圧VCCSは、センスアンプ帯SB0～SBn+1に含まれるセンスアンプ回路の動作電源電圧であり、図示しない内部降圧回路により生成される。電圧VCCPは、周辺電源電圧であり、ロウ／コラムデコーダ帯RCDに含まれるロウデコーダおよびコラムデコーダ、データバス帯DPBに含まれるプリアンプおよびライトドライバなどの周辺回路へ与えられる動作電源電圧であり、図示していない内部降圧回路により生成される。電圧VBLは、ピット線プリチャージ電圧である。電圧VCPは、メモリセルのセルブレートへ与えられるセルブレート電圧であり、メモリセルデータのHレベルの電圧およびLレベルの電圧の中間レベルである。これらの電圧VBLおよびVCPは、通常は、アレイ電源電圧（センス電源電圧）VCCSの1/2の中間電圧である。

【0027】プロックPHKのセルフリフレッシュタイマは、セルフリフレッシュモードに入ると活性化され、最大リフレッシュ時間tREFmaxで、メモリアレイMA0～MANのすべての行のリフレッシュが1回完了するように、所定の間隔で、リフレッシュ要求信号FAYを発行する。

【0028】このようなセルフリフレッシュモードは、通常、スリープモード時、すなわちシステムLSIが長期にわたってスタンバイ状態にあるときに設定される。メモリセル内のキャバシタに蓄積された電荷は、種々のリーコ電流たとえばストレージノードSNにおける接合リーコ電流、メモリセルトランジスタのチャネルリーコ電流、キャバシタ絶縁膜のリーコ電流などによって失われる。特に、H（ハイ）データを書込んだ場合、メモリセルからのピット線への読出動作を行なった際に得られるピット線対間の電位差がセンスアンプのセンス感度以下まで低下するまでにリフレッシュを行なう必要がある。したがって、チップ全体のデータ保持時間は、チップ内で一番短いデータ保持時間を持つメモリセルによって先に説明したtREFmaxが定められている。

【0029】メモリアレイMA0～MANのすべての行をリフレッシュするのに必要なリフレッシュ回数をNrefとすると、リフレッシュ要求信号FAYは、tREFmax/Nrefの周期で発行される。たとえば、Nref = 4096の4Kリフレッシュモードにおいて

は、最大リフレッシュ時間tREFmaxが64msであれば、リフレッシュ要求信号FAYは、16μsごとに発行される。

【0030】

【発明が解決しようとする課題】一方、携帯情報端末等においては、外部クロックの供給の必要のない非同期の汎用スタティックランダムアクセスメモリ（SRAM）を使用するシステム構成が広く採用されている。高速データ処理に必要なメモリはプロセッサに内蔵されているキャッシュメモリが受け持つため、外付けのデータ保持用SRAMには高速アクセスの機能は要求されない。

【0031】したがって、小型化の要求が厳しい携帯情報端末等においては、システム構成を簡単にするために、リフレッシュ周期ごとのリフレッシュ動作やさらにはリフレッシュ中のメモリへのアクセスをリフレッシュサイクルが終了するまで待つ制御といったようなリフレッシュにかかる複雑なメモリコントロールが不要な汎用SRAMが使用されている。

【0032】しかしながら、携帯情報端末も、近年では20画像をも取扱うように機能が大幅に向上してきており、大容量のメモリ機能が必要になってきている。この場合、メモリセルサイズがDRAMのメモリセルに比べて10倍近くもあるSRAMでは、大容量メモリになるとチップの価格が大幅に上昇し携帯情報端末のコストが上昇してしまう。したがってSRAMの代替メモリとしてDRAMへの期待が大きくなっている。

【0033】特に、大容量DRAMと大規模ロジックやマイクロプロセッサ等とを集積化した混載DRAMは、内部のデータバスを多ビットにすることにより動作周波数を低く抑えても高速データ転送が可能であり、かつ動作時の消費電流が少ないという特徴を有するため、ロジック内蔵DRAMなどのシステムLSIへの期待が大きい。しかしながら、DRAMには、リフレッシュにかかる複雑なメモリコントロールが必要であるため、DRAMをSRAMの代替メモリとして採用することは簡単ではない。

【0034】本発明の目的は、携帯情報端末等において好適に用いられるSRAM並みにメモリコントロールを簡素化したDRAM回路ブロックを内蔵するシステムLSIを実現することである。

【0035】

【課題を解決するための手段】請求項1に記載の半導体記憶装置は、行および列状に配置される複数のメモリセルを含むメモリアレイと、複数のメモリセルが保持するデータをリフレッシュするために必要な時間間隔で、リフレッシュ要求信号を出力するリフレッシュタイマ回路と、アクセスコマンドに応じて内部コマンド信号を発生するコマンド発生回路と、内部コマンド信号およびリフレッシュ要求信号に応じてメモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、行選択制御

回路は、内部コマンド信号に応じて活性化し、メモリアレイの行選択動作のタイミング信号を出力するタイミング制御回路と、リフレッシュ要求信号を受けて保持し、タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力するリフレッシュ制御回路と、内部リフレッシュコマンド信号に応じて活性化し、タイミング制御回路に代わってタイミング信号を出力するリフレッシュタイミング制御回路とを含み、タイミング信号に応じてメモリアレイの行選択を行なう行選択回路をさらに備える。

【0036】請求項2に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、アクセスコマンドは、読出コマンドを含み、半導体記憶装置がアクセスコマンドを受けてから次のアクセスコマンドを受けることができるまでの基本サイクル時間は、内部コマンド信号が出力されてからメモリアレイよりデータの読出が完了するまでの通常読出サイクル時間と、内部リフレッシュコマンド信号が出力されてからメモリアレイの内部リフレッシュコマンド信号に対応する部分のリフレッシュが完了するまでのリフレッシュサイクル時間との合計時間以上である。

【0037】請求項3に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、リフレッシュ制御回路は、リフレッシュ要求信号を受けて保持するラッチ回路と、ラッチ回路の出力がリフレッシュ要求信号が入力されたことを示し、かつ、タイミング制御回路が非活性化されている場合に内部コマンド信号の基となるパルスを出力するパルス発生回路とを有する。

【0038】請求項4に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置に記載の半導体記憶装置の構成において、コマンド発生回路は、アクセスコマンドを保持し、リフレッシュタイミング制御回路が活性化されている場合には、リフレッシュタイミング制御回路が非活性化されるまで待ってから内部コマンド信号を出力する。

【0039】請求項5に記載の半導体記憶装置は、請求項4に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、コマンド発生回路は、アクセスコマンドを受けて保持するラッチ回路と、ラッチ回路の出力がアクセスコマンドが入力されたことを示し、かつ、リフレッシュタイミング制御回路が非活性化されている場合に内部コマンド信号の基となるパルスを出力するパルス発生回路とを有する。

【0040】請求項6に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、コマンド発生回路は、アクセスコマンドに応じてコマンド発生基準信号を出力する内部コマンド発生回路と、コマンド発生基準信号を少なくともリフレッシュサイクル時間以上遅延させて内部コマンド信号を

出力する遅延回路とを含み、リフレッシュ制御回路は、リフレッシュ要求信号を受けて保持し、タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力する。

【0041】請求項7に記載の半導体記憶装置は、請求項6に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、リフレッシュ制御回路は、リフレッシュ要求信号を保持するラッチ回路と、ラッチ回路の出力がリフレッシュ要求信号が入力されたことを示し、かつ、タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号の基となるパルスを出力するパルス発生回路とを有する。

【0042】請求項8に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、メモリアレイからの出力を受けて読出データとして保持し出力イネーブル信号を受けて読出データを出力するデータ入出力制御回路をさらに備える。

【0043】請求項9に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、行選択制御回路は、与えられる行アドレスを保持して通常行アドレスを出力するアドレスラッチ回路と、リフレッシュする行に対応するリフレッシュ行アドレスを順次更新して出力するリフレッシュカウンタ回路と、通常行アドレスとリフレッシュ行アドレスとを受けて、内部リフレッシュコマンド信号に応じていずれか一方をメモリアレイの行選択を行なうアドレスとして出力する選択回路とをさらに含む。

【0044】請求項10に記載の半導体記憶装置は、請求項9に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、メモリアレイは、独立して行選択動作が可能な複数のバンクを含み、リフレッシュ制御回路は、通常行アドレスが示すバンクとリフレッシュ行アドレスが示すバンクとが一致する場合には、タイミング制御回路が非活性となってから内部リフレッシュコマンド信号を出力する。

【0045】請求項11に記載の半導体記憶装置は、請求項9に記載の半導体記憶装置に記載の半導体記憶装置の構成において、アドレスラッチ回路は、与えられる行アドレスをクロック信号に同期して取込む。

【0046】請求項12に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、アクセスコマンドをクロック信号に同期して取込み、コマンド発生回路に与えるラッチ回路をさらに備える。

【0047】請求項13に記載の半導体記憶装置は、行および列状に配置される複数のメモリセルを含むメモリアレイと、メモリアレイに対するアクセスコマンドが与えられたことを示すコマンド検出信号とアクセスコマンドに対応する内部コマンド信号とを出力するコマンド検出回路と、内部コマンド信号に応じてメモリアレイの行

11 選択に関連する動作を行なう行選択制御回路とを備え、行選択制御回路は、与えられる行アドレスをコマンド検出信号に応じて取込み内部行アドレスとして保持する保持回路と、行アドレス信号の変化を検出すると第1の所定時間経過後に行アドレスと内部行アドレスとを比較して内部行アドレスをメモリアレイの行選択に使用するか否かを判断する比較回路とを含む。

【0048】請求項14に記載の半導体記憶装置は、請求項13に記載の半導体記憶装置の構成に加えて、比較回路は、行アドレスの変化を検出するアドレス変化検出回路と、アドレス変化検出回路の出力を第1の所定時間だけ遅延させる遅延回路と、遅延回路の出力に応じて、行アドレスと内部行アドレスとを比較するアドレス比較部とを含む。

【0049】請求項15に記載の半導体記憶装置は、請求項14に記載の半導体記憶装置の構成において、アドレス比較部は、アドレス比較結果が不一致の場合には、保持回路に再度行アドレスの取込みを指示する。

【0050】請求項16に記載の半導体記憶装置は、請求項13に記載の半導体記憶装置の構成に加えて、比較回路は、行アドレスと内部行アドレスとが一致しない時は、保持回路に再度行アドレスの取込みを指示し、行選択制御回路は、コマンド検出信号に応じて第2の所定時間経過後に、保持回路に対し内部行アドレスの更新を禁止する遅延回路をさらに含む。

【0051】請求項17に記載の半導体記憶装置は、請求項16に記載の半導体記憶装置の構成に加えて、第2の所定時間は、半導体記憶装置がアクセスコマンドを受けてから次のアクセスコマンドを受けることができるまでの基本サイクル時間の半分である。

【0052】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0053】【実施の形態1】図1は、本発明のDRAM内蔵システムLSIの構成を概略的に示す図である。

【0054】図1を参照して、システムLSI1は、外部ピン端子群LPGAに結合され、指令された処理を実行する大規模ロジックLGと、大規模ロジックLGと外部ピン端子群APGとの間に結合され、アナログ信号についての処理を行なうアナログコアACRと、大規模ロジックLGに内部配線を介して結合され、この大規模ロジックLGが必要とするデータを格納するDRAMコアMCRと、テストモード時に大規模ロジックLGとDRAMとを切離し、テストピン端子群TPGを介してDRAMコアMCRに対するテスト動作を行なうためのテストインターフェイス回路TICを含む。DRAMコアMCRは、電源ピン端子PSTを介して電源電圧VCCを受ける。

【0055】アナログコアACRは、内部のクロック信

号を発生する位同期回路(PLL)、外部からのアナログ信号をデジタル信号に変換するアナログ/デジタル変換器、および大規模ロジックLGから与えられるデジタル信号をアナログ信号に変換して出力するデジタル/アナログ変換器を含む。

【0056】DRAMコアMCRは、非同期の汎用SRAMと同様なメモリコントロールが簡素化されたDRAMであり、大規模ロジックLGからコマンドを受けてデータの取込および出力を実行する。

10 【0057】図2は、図1におけるDRAMコアMCRの構成を示した概略ブロック図である。

【0058】図2を参照して、DRAMコアMCRは、データを記憶するメモリアレイMBと、大規模ロジックLGから与えられるたとえば13ビットの外部アドレスA0～A12および大規模ロジックLGから与えられる外部制御信号exREADn、exWRITEnに応じて各種動作を指定する内部制御信号を生成し、ロウブリデコード信号等の行系の制御信号を出力する行選択系回路/コマンド発生系回路16と、外部アドレスA0～A12を受けて列系の選択制御信号を発生する列選択系回路14と、大規模ロジックLGとメモリアレイとの間のデータ授受を行なうデータ入出力制御回路20とを含む。

20 【0059】データ入出力制御回路20は、大規模ロジックLGとの間で128ビットのデータ信号DQを授受する。データ入出力制御回路20は、読出時には、出力イネーブル信号OEに応じてメモリアレイから読出されたデータを出力する。

【0060】メモリアレイMBは、複数のメモリアレイ30 MA0～MANと、メモリアレイMA0～MANの間に配設されるセンスアンプ帯SB1～SBnと、メモリアレイMA0およびMANの外側に配置されるセンスアンプ帯SB0およびSBn+1を含む。メモリアレイMA0～MANの各々は、サブワードドライバ帯SWDBにより複数のサブメモリアレイSMAに分割される。

【0061】メモリアレイMA0～MANの各々において、サブワードドライバ帯SWDBにより分割されるサブメモリアレイSMAに共通にメインワード線MWLが配設される。メインワード線MWLは、対応のメモリアレイの各サブメモリアレイSMAの所定数のサブワード線に対応してそれぞれ配置される。メインワード線MWLおよびセンスアンプ帯上に配置される所定数のサブデコード線SDLが、サブワードドライバ帯SWDB内のサブワードドライバに入力されて、一本のサブワード線が選択される。

40 【0062】センスアンプ帯SB1～SBnの各々は、隣接メモリアレイにより共有される。メモリアレイMA0～MANに対応してメインワード線およびサブワード線をロウアドレス信号に従って選択するロウデコーダが配置され、またロウデコーダと整列してコラムアドレス

信号に従ってメモリアレイから列を選択するための列選択信号を列選択線CSL上に伝達するコラムデコーダが配置される。

【0063】列選択線CSLはセンスアンプ帯に配設され、選択時に所定数のセンスアンプ回路を内部データ線対G I O Pの群に接続する。内部データ線対G I O Pは、所定数がメモリアレイMA0ないしMA nをわたって延在して配設され、ローカルデータ線を介して選択されたセンスアンプ回路と結合される。

【0064】図34に示した従来のDRAMブロックと比べて、サブメモリアレイSMAの大きさを小さくしメモリアレイMBをより多数に分割することにより、ワード線、ピット線の長さが短くなっているため、行選択およびセンスアンプによるセンス動作が高速化される。

【0065】内部データ線対G I O Pは、128ビットから512ビット分設けられ、プリアンプおよびライトドライバを含むデータバス帯DPBに結合される。このデータバス帯DPBにおいては、内部データ線対G I O Pそれぞれに対応してプリアンプおよびライトドライバが配置される。内部データ線対G I O Pは、書込データおよび読出データ両者を伝達する伝達線対であってもよく、また読出データを伝達するバス線対および書込データを伝達する書込データ線対が別々に内部データバス線対として設けられてもよい。

【0066】行選択系回路/コマンド発生系回路16に与えられる外部制御信号exREADn, exWRITEnは、図34で外部制御信号の組み合わせで与えられていたデータ読出を指示するリードコマンド、データ書込を指示するライトコマンドに対応する。外部制御信号exREADn, exWRITEnに応じて、行選択系回路/コマンド発生系回路16は、所定の内部コマンド信号を発生する。

【0067】行選択系回路/コマンド発生系回路16は、さらに、外部アドレスビットA0～A12をロウアドレスとして読み込み、内部ロウアドレス信号を生成する。

【0068】列選択系回路14は、外部アドレスA0～A12を受けてコラムアドレスを読み込み保持し、出力するコラムアドレス入力回路22と、コラムアドレスを受けてプリデコードするコラムプリデコーダ24とを含む。

【0069】コラムアドレス入力回路22は、内部リードコマンドまたは内部ライトコマンドが与えられると、行選択系回路/コマンド発生系回路16の制御の下に、たとえば外部アドレスビットA0～A12のうちアドレスビットA0～A4の下位の部分を読み込み、内部コラムアドレス信号を生成する。このコラムアドレス入力回路22も、アドレスバッファおよびアドレスラッチを含む。

【0070】コラムアドレス入力回路22からの内部コ

ラムアドレス信号は、コラムプリデコーダ24へ与えられる。

【0071】行選択系回路は、与えられた内部ロウアドレス信号をプリデコードして、プリデコード信号をロウ/コラムデコーダ帯RCD Bに含まれるコラムデコーダへ与える。コラムプリデコーダ24は、コラムアドレス入力回路22からの内部コラムアドレス信号をプリデコードし、プリデコード信号をロウ/コラムデコーダ帯RCD Bに含まれるコラムデコーダへ与える。

10 【0072】コマンド発生系回路は、リードコマンドまたはライトコマンドを受けると、データ入出力制御回路20およびデータバス帯DPBに含まれるプリアンプおよびライトドライバの動作の制御を行なうための内部制御信号を生成する。

【0073】DRAM回路ブロックは、さらに、内部電圧VPP、VCCS、VCCP、VBLおよびVCPを発生する内部電圧発生回路と、所定の間隔でリフレッシュ要求信号FAYを活性化するセルフリフレッシュタイムを含むブロックPHKを含む。DRAMコアに電源が

20 投入されたときにパワーオンリセットによってリセットされた後、セルフリフレッシュタイムが自動的にリフレッシュ要求信号FAYの活性化を開始するように構成してもよい。また、電源投入後にDRAMコアの外部から図示しない制御信号に応じて行選択系回路/コマンド発生系回路16にコマンドを与え、発生される内部コマンドCOMによってセルフリフレッシュタイムがリフレッシュ要求信号FAYの活性化を開始するように構成してもよい。

【0074】内部電圧VPPは、選択サブワード線SWL上に伝達される電圧であり、通常、動作電源電圧よりも高い電圧レベルである。電圧VCCSは、センスアンプ帯SB0～SBn+1に含まれるセンスアンプ回路の動作電源電圧であり、図示しない内部降圧回路により生成される。電圧VCCPは、周辺電源電圧であり、ロウ/コラムデコーダ帯RCD Bに含まれるロウデコーダおよびコラムデコーダ、データバス帯DPBに含まれるプリアンプおよびライトドライバなどの周辺回路へ与えられる動作電源電圧であり、図示していない内部降圧回路により生成される。電圧VBLは、ピット線ブリッチャー

40 ジ電圧である。電圧VCPは、メモリセルのセルブレートへ与えられるセルブレート電圧であり、メモリセルデータのHレベルの電圧およびLレベルの電圧の中間レベルである。これらの電圧VBLおよびVCPは、通常は、アレイ電源電圧(センス電源電圧)VCCSの1/2の中間電圧である。

【0075】ブロックPHKのセルフリフレッシュタイムは、セルフリフレッシュモードに入ると活性化され、最大リフレッシュ時間tREFmaxで、メモリアレイMA0～MA nのすべての行のリフレッシュが1回完了するように、所定の間隔で、リフレッシュ要求信号F A

50

Yを発行する。

【0076】図3は、図2におけるメモリアレイMBの構成を概略的に示した図である。図3を参照して、メモリアレイMBにおいては、メモリセルアレイは多数のサブメモリアレイSMAに分割されており、複数のサブメモリアレイSMAの各々にサブワードドライバ帯SWDとセンスアンプ帯SAとが配置されている。また、行方向に配置された複数のサブメモリアレイSMAを横断するようにメインワード線MWLが行方向に延びており、メインワード線MWLにサブワードドライバSWDを介して接続されたサブワード線SWLがサブメモリアレイSMA内を行方向に延びている。メインワード線MWLは、ロウデコーダRDの信号に従ってメインワードドライバMWDで駆動される。

【0077】図4は、図3におけるサブメモリアレイSMAとその周辺に配置されるサブワードドライバSWDおよびセンスアンプSAとの接続関係を概略的に示した図である。

【0078】図4を参照して、サブメモリアレイSMAは、行列状に配置された複数のメモリセルMCを有している。同一行に配置されたメモリセルMCのゲートには、サブワード線SWLが接続されており、このサブワード線SMLは、サブワードドライバ帯SWDの各ドライバSWD aに接続されている。同一列に配置されたメモリセルMCは、ピット線対BLおよび/BLのいずれかに接続されている。このピット線対BLおよび/BLは、シェアードゲート信号SHR bがゲートに入力されているNチャネルMOSトランジスタNT10、NT11を介して、図4中の上下のいずれかのセンスアンプS/Aに接続されている。

【0079】なお、センスアンプ帯SAは、図4の横方向に延在して図2に示したセンスアンプ帯SB0～SBm+1を構成している。センスアンプ帯SAは、NチャネルMOSトランジスタNT10～NT13を構成要素とする複数のS/Aシェア回路および複数のセンスアンプS/A以外に、NチャネルMOSトランジスタNT15～NT17を構成要素とする複数のイコライズ回路を有している。このイコライズ回路は、ピット線BL/BLにプリチャージ電圧VBLを印加するためのものである。

【0080】サブワード線SWLは、メインワード線MWLの信号とサブデコード線SDLの信号に従ってサブワードドライバSWD aによって駆動される。

【0081】図5は、図4におけるメモリセルMCの構成例を示した回路図である。図5を参照して、メモリセルMCは、一方端にセルプレートが接続されセルプレート電位VCPが与えられるキャバシタ32と、キャバシタ32の他方端とピット線BLとの間に接続されゲートがサブワード線SWLに接続されたNチャネルMOSトランジスタ34とを含む。

【0082】このキャバシタ32の一方端に接続されているセルプレートCPは、図4に示すようにサブメモリアレイSMAのほぼ全域に分布している。このセルプレートCPは、サブメモリアレイSMAとサブワードドライバ帯SWDとの境界近傍に延在するVCP電源線VCP Lに複数個所で接続されることで、セルプレート電位VCPに固定されている。

【0083】以上説明したメモリアレイの構成においては、図3～4で説明した従来のDRAMブロックと比べて10ロウアドレスアクセスおよびサイクル時間を短くするために、メモリアレイMA0～MAmの数をそれぞれのメモリアレイを小さくすることにより増やしており、さらに、メモリアレイMAmの分割数を増やしてサブメモリアレイSMAの大きさを従来に比べて小さくしている。したがって、携帯情報端末等に使用されている低速SRAMの製品規格で決められた、たとえば70nsのサイクル時間に対して、DRAMの動作が2サイクル可能なように構成されている。

【0084】図6は、図2における行選択系回路/コマンド発生系回路16の構成を示すブロック図である。

【0085】図6を参照して、行選択系回路/コマンド発生系回路16は、行選択制御回路41とコマンド発生回路40とを含む。

【0086】コマンド発生回路40は、外部制御信号exWRITEnおよびexREADnを受けて信号bufRWを出力するAND回路42と、外部制御信号exWRITEnおよびexREADnおよびリフレッシュ活性化信号REF_RASに応じてロウアクティブコマンド信号ACT0を活性化するコマンド入力バッファ/30ラッチ回路44と、ロウアクティブコマンド信号ACT0およびワード線駆動タイミング信号RXTに応じて内部コマンド信号ACT、PRE、intWRITEn、intREADを出力する内部コマンド発生回路46とを含む。

【0087】行選択制御回路41は、8個のメモリアレイMA0～MA7に対応して設けられる。メモリアレイMA0～MA7それぞれにおいて、512本のワード線(サブワード線)が配置される。

【0088】行選択制御回路41は、ロウアドレスイン40一ブル信号RADEの活性化に応答して外部から与えられる12ビットのロウアドレスビットRA<11:0>を取り込みラッチする入力バッファ/ラッチ回路52と、リフレッシュ活性化信号REF_RASの非活性化に応答してそのカウント値をインクリメントするリフレッシュカウンタ54と、リフレッシュ活性化信号REFに従って入力バッファ/ラッチ回路52およびリフレッシュカウンタ54の出力ビットを選択するセレクタ56と、セレクタ56からの12ビットのロウアドレスのうち、上位3ビットの内部ロウアドレスRAF<11:9>を50デコードしてメモリアレイを特定するブロック選択信号

BS<7:0>を生成するブロックデコード回路60と、セレクタ56からの下位9ビットのロウアドレスRAF<8:0>をプリデコードするロウブリデコード回路62とを含む。

【0089】リフレッシュ活性化信号REF_RASは、セルフリフレッシュ要求信号に応答して所定期間活性化状態となり、その間選択されたサブメモリアレイSM Aにおいてリフレッシュ行の選択およびメモリセルデータのリフレッシュが実行される。

【0090】セレクタ56は、このリフレッシュ活性化信号REFの活性化時リフレッシュカウンタ54の出力ビットQA<11:0>を選択し、リフレッシュ活性化信号REFの非活性化時、入力バッファ/ラッチ回路52の出力ビットを選択する。

【0091】リフレッシュカウンタ54は、リフレッシュ時には、アドレスビットQA<11:0>の範囲でアドレスを1ずつ増加させる。

【0092】ブロックデコード回路60およびロウブリデコード回路62は、メモリマットのメモリアレイMA 0～MA 7に共通に設けられてもよく、またメモリアレイMA 0～MA 7にそれぞれに対応して設けられてもよい。

【0093】ロウブリデコード回路62が、メモリアレイそれぞれに対応して設けられる場合には、ブロックデコード回路60からのブロック選択信号BS<7:0>に従って、ロウブリデコード回路62が、選択的に活性化され、選択された（指定された）メモリアレイに対して設けられたロウブリデコード回路62がプリデコード動作を実行する。

【0094】行選択制御回路41は、さらに、セルフリフレッシュタイマから発行されるリフレッシュ要求信号FAY、ノーマル動作信号ACT_RAS、リフレッシュ活性化信号REF_RASに応じてリフレッシュ活性化信号REFを出力するリフレッシュコントロール回路50と、リフレッシュ活性化信号REFが活性化するとロウ系制御タイミング信号を所定のシーケンスで発生するロウ系リフレッシュタイミング制御回路58と、ロウアクティブコマンド信号ACTに応じてロウ系制御タイミング信号を所定のシーケンスで発生するロウ系タイミング制御回路48とを含む。

【0095】リフレッシュコントロール回路50は、リフレッシュ要求信号FAYが与えられると、後に説明するようにリフレッシュ活性化信号REFを活性化する。ロウ系リフレッシュタイミング制御回路58がこのリフレッシュ活性化信号REFに従って所定のシーケンスで各制御信号を発生したの後、ロウ系リフレッシュタイミング制御回路58は、センスアンプ活性化信号SOが活性化されてから所定期間経過後にリフレッシュ活性化信号REF_RASを非活性化状態に駆動する。これらの一連の動作により、1つのセルフリフレッシュ動作が完

了する。リフレッシュ活性化信号REF_RASが非活性化状態となると、リフレッシュカウンタ54がリフレッシュアドレスQA<11:0>を1だけ増加させる。

【0096】図7は、図6に示したコマンド入力バッファ/ラッチ回路44の構成を示す回路図である。

【0097】図7を参照して、コマンド入力バッファ/ラッチ回路44は、内部プリチャージコマンド信号PREを受けて反転するインバータ72と、外部ライトコマンド信号exWRITEnがLレベルになるとセットされ、インバータ72の出力がLレベルになるとリセットされるラッチ回路74と、ラッチ回路74の反転出力/Qとリフレッシュ活性化信号REF_RASとを受けるOR回路76と、OR回路76の出力を受けてその変化に応じてパルスを発生するパルス発生回路78とを含む。

【0098】コマンド入力バッファ/ラッチ回路44は、さらに、内部プリチャージコマンド信号PREを受けて反転するインバータ82と、外部リードコマンド信号exREADnがLレベルになったときにセットされ

20 インバータ82の出力がLレベルになったときにリセットされるラッチ回路84と、ラッチ回路84の反転出力/Qとリフレッシュ活性化信号REF_RASとを受けるOR回路86と、OR回路86の出力を応じてパルス信号を発生するパルス発生回路88と、パルス発生回路78、88の出力を受けるOR回路90とを含む。OR回路90はロウアクティブコマンド信号ACT0を出力する。

【0099】図8は、図7に示したパルス発生回路78の構成を示す回路図である。パルス発生回路78は、K.

30 Dosaka et al., "A 90-MHz 16-Mb System Integrated Memory with Direct Interface to CPU" IEICE TRANS ELECTRON VOL.E79-C, pp948-955, NO.7 JULY 1996.に記載されている。

【0100】図7、図8を参照して、パルス発生回路78は、入力信号INを受けて反転するインバータ91と、インバータ91の出力と電源電位とを入力に受けるNAND回路92と、NAND回路92の出力を受けて反転するインバータ94と、一方の入力同士が交差結合されたNAND回路96、98と、NAND回路98の40 出力を受けて反転するインバータ100とを含む。インバータ94の出力はNAND回路86の他方の入力に与えられる。

【0101】パルス発生回路78は、さらに、インバータ91の出力とインバータ100の出力とを入力に受けるNAND回路102と、NAND回路102の出力を受けて反転するインバータ104と、電源ノードと接地ノードとの間に直列に接続されるPチャネルMOSトランジスタ108およびNチャネルMOSトランジスタ106と、PチャネルMOSトランジスタ108とNチャネルMOSトランジスタ106の接続ノードの電位を受

けて反転し出力信号OUTを出力するインバータ110とを含む。インバータ104の出力はNチャネルMOSトランジスタ106のゲートに与えられる。また、PチャネルMOSトランジスタ108とNチャネルMOSトランジスタ106の接続ノードの電位はNAND回路98の他方の入力に与えられる。

【0102】パルス発生回路78は、さらに、出力信号OUTを受けて遅延する遅延回路112と、遅延回路112の出力を受けて反転しPチャネルMOSトランジスタ108のゲートに与えるインバータ114とを含む。

【0103】なお、図7のパルス発生回路88は、パルス発生回路78と同様な構成を有しており説明は繰返さない。

【0104】図9は、図8に示したパルス発生回路78の動作を説明するための動作波形図である。

【0105】図8、図9を参照して、時刻t1において入力信号INがHレベルからLレベルに立下がると、その立下がりエッジに応じてNAND回路96、98で構成されるラッチ回路がセットされ応じてNチャネルMOSトランジスタ106が導通し出力信号OUTが変化する。そして、遅延回路112による遅延後の時刻t2においてはPチャネルMOSトランジスタ108が非導通状態となり、NAND回路96、98で構成されるラッチ回路がリセットされ応じて出力信号OUTが再び変化しパルス信号が発生する。

【0106】時刻t3における入力信号INの立上がりにおいてはパルス発生回路78は出力信号OUTを変化させることはない。

【0107】図10は、図6におけるリフレッシュコントロール回路50の構成を示す回路図である。

【0108】図10を参照して、リフレッシュコントロール回路50は、リフレッシュ活性化信号REF_RA_Sを受けて反転するインバータ122と、リフレッシュ要求信号FAYの活性化に応じてセットされインバータ122の出力に応じてリセットされるラッチ回路124と、ラッチ回路124の反転出力/Qとノーマル動作信号ACT_RASとを受けるOR回路126と、OR回路126の出力を受けパルス信号を発生するパルス発生回路128とを含む。パルス発生回路128の出力は内部リフレッシュコマンド信号REFである。

【0109】図11は、図6における入力バッファ/ラッチ回路52の構成を示す回路図である。

【0110】図11を参照して、入力バッファ/ラッチ回路52は、信号bufRWを受けて反転するインバータ122と、インバータ122の出力および信号bufRWに応じて活性化して内部ロウアドレス信号RA<11:0>を伝達するトランスマッショングート124とを含む。

【0111】入力バッファ/ラッチ回路52は、さらに、トランスマッショングート124によって伝達され

た外部ロウアドレス信号RA<11:0>をラッチするためのラッチを構成するインバータ126、128と、ロウアドレスイネーブル信号RADEを受けて反転するインバータ130と、インバータ130およびロウアドレスイネーブル信号RADEに応じて活性化しインバータ126の出力を伝達するトランスマッショングート132とを含む。

【0112】入力バッファ/ラッチ回路52は、さらに、トランスマッショングート132によって伝達され10インバータ126の出力を保持するラッチ回路を構成するインバータ134および136とを含む。インバータ134の出力は内部ロウアドレス信号inRA<11:0>となる。

【0113】なお、図11の回路図では、1ビットに対応する構成を代表的に示したが外部ロウアドレス信号RA<11:0>のビット数に対応して並列的に同様な構成の回路が設けられている。

【0114】図12は、実施の形態1におけるロウ系回路の動作を説明するための読み出時における第1の動作波形図である。

【0115】図6、図12を参照して、通常の動作においては、図2の内部電位発生回路/セルフリフレッシュタイムブロックPHKに含まれるセルフリフレッシュタイムは常に動作しており、リフレッシュ周期ごとにリフレッシュ要求信号FAYが発行されている。

【0116】時刻t1において外部アドレス信号eXA DRが入力されさらに時刻t2において外部リードコマンド信号eXREADnが入力されている場合には内部コマンド発生回路46に応じてロウアクティブコマンド信号ACTが時刻t3において活性化され同時にノーマル動作信号ACT_RASが活性化する。

【0117】時刻t4においてリフレッシュ要求信号が入力された場合であっても、ノーマル動作信号ACT_RASが活性化されているときには、リフレッシュコントロール回路50は、リフレッシュ要求信号が入力されたことを保持しているが、内部リフレッシュコマンド信号REFは活性化しない。

【0118】ロウ系タイミング制御回路48はロウアクティブコマンド信号ACTに応じて所定のタイミングで40内部リードコマンド信号intREADを活性化し、内部プリチャージコマンド信号PREを活性化する。そしてメモリアレイからは内部データintDが時刻t5において出力される。

【0119】時刻t6においてノーマル動作信号ACT_RASの立下がりに応じてリフレッシュコントロール回路はリフレッシュ要求信号FAYによってセットされていたラッチの情報に応じて内部リフレッシュコマンド信号REFを活性化させる。そしてロウ系リフレッシュタイミング制御回路58はリフレッシュ活性化信号REF_RASを所定の時間だけ活性化されリフレッシュサ

イクルを生成する。

【0120】また、外部アドレス信号 $exADR$ が入力された時刻 t_1 から所定のアドレスアクセス時間 t_{AA} だけ経過した後の時刻 t_7 において出力イネーブル信号 OE が活性化されデータ信号 DQ として有効なデータが outputされる。

【0121】内部コマンド信号 ACT が出力されてからメモリアレイよりデータの読み出しが完了するまでのノーマル動作信号 ACT_RAS の活性化時間を通常読み出サイクル時間と呼ぶことにする。また、内部リフレッシュコマンド信号 REF が出力されてからメモリアレイの内部リフレッシュコマンド信号に対応する部分のリフレッシュが完了するまでのリフレッシュ活性化信号 REF_RAS の活性化時間をリフレッシュサイクル時間と呼ぶことにする。すると、半導体記憶装置がリードコマンドを受けてから次のリードやライト等のアクセスコマンドを受けることができる基本サイクル時間は、通常読み出サイクル時間とリフレッシュサイクル時間との合計時間以上になっている。

【0122】図13は、ロウ系回路の動作を説明するための読み出時の第2の動作波形図である。

【0123】図6、図13を参照して、外部リードコマンド信号 $exREADn$ に先立ってリフレッシュ要求信号 FAY が入力されると、リフレッシュコントロール回路50はノーマル動作信号 ACT_RAS が非活性化状態にあることを確認し内部リフレッシュコマンド信号 REF を出力する。そして、ロウ系リフレッシュタイミング制御回路58はリフレッシュ活性化信号 REF_RAS を所定の時間活性化してリフレッシュサイクルに入り、リフレッシュカウンタで生成されている内部アドレス $QA <11:0>$ で選択される行すなわち、ブロック選択信号 $BS <15:0>$ で選択されるメモリアレイ内のロウブリデコード信号 $X <19:0>$ で選択されるページに対してリフレッシュ動作に入る。

【0124】時刻 t_2 において外部アドレス信号 $exADR$ が入力され、時刻 t_3 において外部リードコマンド信号 $exREADn$ が入力されても、コマンド入力バッファ／ラッチ回路44はリフレッシュ活性化信号 REF_RAS が活性化状態にあるためロウアクティブコマンド信号 $ACT0$ を活性化しない。

【0125】そして、時刻 t_4 においてリフレッシュ活性化信号 REF_RAS が非活性化状態になると、応じてコマンド入力バッファ／ラッチ回路44はロウアクティブコマンド信号 $ACT0$ を活性化し、内部コマンド発生回路46が応じてロウアクティブコマンド信号 ACT を発生する。そして、ロウ系タイミング制御回路48は所定の期間ノーマル動作信号 ACT_RAS を活性化する。この動作に並行して、内部コマンド発生回路46は、ロウアクティブコマンド信号 ACT を発行した後所定のタイミングで内部リードコマンド信号 $intREAD$

D および内部ブリッジコマンド信号 PRE を順次活性化する。そして時刻 t_5 において内部データ $intD$ がメモリマットから読み出される。

【0126】そして、時刻 t_2 からアドレスアクセス時間 t_{AA} 後である時刻 t_6 において出力イネーブル信号 OE の活性化に応じてデータ信号 DQ として有効なデータが输出される。

【0127】図14は、書き込み時におけるロウ系信号を説明するための第1の動作波形図である。

【0128】図6、図14を参照して、書き込み時には時刻 t_1 にまず外部入力データがデータ信号 DQ として与えられ、ライトデータとして内部データ $intD$ が保持される。そして、時刻 t_2 において外部アドレス信号 $extADR$ が入力され、続いて時刻 t_3 において外部ライトコマンド信号 $exWRITEn$ が入力される。すると、時刻 t_4 においてコマンド入力バッファ／ラッチ回路および内部コマンド発生回路46によってロウアクティブコマンド信号 ACT が発行されノーマル動作信号 ACT_RAS が活性化される。そして、所定のタイミングにおいて内部ライトコマンド信号 $intWRITEn$ および内部ブリッジコマンド信号 PRE が発生される。

【0129】ノーマル動作信号 ACT_RAS が活性化されている期間中である時刻 t_5 においてリフレッシュ要求信号 FAY が入力された場合であっても、リフレッシュコントロール回路50は、直ちに内部リフレッシュコマンド信号 REF を活性化させずに時刻 t_6 のノーマル動作信号の非活性化を待ってから内部リフレッシュコマンド信号 REF を活性化させる。そして、ロウ系リフレッシュタイミング制御回路58においてリフレッシュ活性化信号 REF_RAS が所定の期間活性化されその間にメモリアレイでのリフレッシュが行なわれる。

【0130】図15は、書き込み時におけるロウ系回路の動作を説明するための第2の動作波形図である。

【0131】図6、図15を参照して、時刻 t_1 においてリフレッシュ要求信号 FAY に応じてリフレッシュ動作が開始された後に時刻 t_2 、 t_3 においてそれぞれ外部アドレス信号 $extADR$ 、外部ライトコマンド信号 $exWRITEn$ がそれぞれ入力された場合には、コマンド入力バッファ／ラッチ回路44は、リフレッシュ活性化信号 REF_RAS の非活性化後にロウアクティブコマンド信号 ACT を発生させるように動作する。

【0132】外部ロウアドレス $RA <11:0>$ は、外部リードコマンド信号 $exREADFn$ あるいは外部ライトコマンド信号 $exWRITEn$ に同期してラッチされた後ロウアドレスイネーブル信号 $RADe$ に同期してブロックデコード回路60あるいはロウブリデコード回路62に送られる。

【0133】したがって、時刻 t_4 ～ t_5 において内部データ $intD$ として保持されている外部から入力され

てきたライトデータがメモリアレイに対して書込まれる。

【0134】以上説明したように、リードサイクルにおいて、内部でのリード動作が最初の第1のサイクルに行なわれても、あるいはリフレッシュサイクルが経過した後の第2のサイクルで行なわれても、アドレスアクセス時間 t_{AA} 時間後に出力イネーブル信号OEを活性化させて出力データを有効にする。このため、第1のサイクルでリード動作が行なわれた場合には内部データバス上にリードデータを保持しておく。したがって、リードデータが出力されるタイミングはスペック上のアドレスアクセス時間 t_{AA} で規定される。

【0135】一方、ライトサイクルにおいて第2のサイクルでライト動作が行なわれる場合には、ラッチされた外部入力データは、内部ライトコマンド信号intWRITEが発行されるまで保持される。

【0136】その後内部コマンド発生回路46においてロウアクティブコマンド信号ACTが活性化されそしてロウ系タイミング制御回路48に入ると各種のロウ系制御信号が生成される。その中のワード線駆動マスタ信号RXTが生成されると、内部コマンド発生回路46において外部コマンドに従って内部リードコマンド信号intREADあるいは内部ライトコマンド信号intWRITEが発生され、さらに、内部プリチャージコマンド信号PREが所定の遅延時間後に発生される。

【0137】つまり、低速SRAMの製品スペックで決められたサイクル時間内に2サイクルのメモリアレイへのアクセス動作が可能なようにDRAMのサブメモリアレイの分割を増やしてサイクル時間を短くする。そして、メモリアクセス要求が先に来ている間にリフレッシュ要求が来た場合には、リフレッシュ要求に対する動作をリードまたはライト動作の終了まで待ってから実行する。逆にリフレッシュ最中にメモリアクセス要求が来た場合には、リフレッシュ終了後にメモリアクセス動作を行なう。したがって、DRAMコアの外から見ると、低速SRAMと同様な簡易な制御で動作可能なインターフェイスを提供することができる。

【0138】【実施の形態2】図16は、実施の形態2において行選択系回路/コマンド発生系回路16に代えて用いられる行選択系回路/コマンド発生系回路216の構成を示すブロック図である。

【0139】図16を参照して、行選択系回路/コマンド発生系回路216は、コマンド発生回路240と行選択制御回路241とを含む。

【0140】コマンド発生回路240は、図6に示したコマンド発生回路40の構成においてコマンド入力バッファ/ラッチ回路44に代えてコマンド入力バッファ/ラッチ回路244を含み、さらに、遅延回路251を含む点がコマンド発生回路40と異なっている。他の構成はコマンド発生回路40と同様であり説明は繰返さない。

い。遅延回路251は、リフレッシュサイクルの1サイクル分に相当する遅延時間だけ入力信号を遅延してロウアクティブ遅延信号ACTDを出力する1サイクル遅延回路254と、ロウアクティブコマンド信号ACTによってセットされ、ロウアクティブ遅延信号ACTDによってリセットされ遅延期間表示信号ACT_ACTDを出力するラッチ回路252を含む。

【0141】コマンド入力バッファ/ラッチ回路244は、リフレッシュ活性化信号REF_RASの状態にかかるわらずロウアクティブコマンド信号ACT0を内部コマンド発生回路に伝達する点が異なっている。

【0142】行選択制御回路241は、図6における行選択制御回路41の構成において、リフレッシュコントロール回路50に代えてリフレッシュコントロール回路250を含む点が行選択制御回路41と異なっている。他の構成は行選択制御回路41と同様であり説明は繰返さない。

【0143】図17は、図16のリフレッシュコントロール回路250の構成を示す回路図である。

【0144】図17を参照して、リフレッシュコントロール回路250は、リフレッシュ活性化信号REF_RASを受けて反転するインバータ262と、リフレッシュ要求信号FAYに応じてセットされインバータ262の出力に応じてリセットされるラッチ回路264と、ラッチ回路264の反転出力/Q、遅延期間表示信号ACT_ACTDおよびノーマル動作信号ACT_RASを受けるOR回路266と、OR回路266の出力を受けてパルスを発生するパルス発生回路268とを含む。パルス発生回路268は内部リフレッシュコマンド信号REFを出力する。

【0145】図18は、図16における1サイクル遅延回路254の構成を示す回路図である。

【0146】図18を参照して、1サイクル遅延回路254は、ロウアクティブコマンド信号ACTを受けて所定時間遅延させる直列に接続された遅延部254#1～254#nを含む。遅延部254#nは、ロウアクティブ遅延信号ACTDを出力する。

【0147】遅延部254#1は、ロウアクティブコマンド信号ACTを受けて反転するインバータ272と、インバータ272の出力ノードと電源ノードとの間に結合されるキャバシタ274と、インバータ272の出力ノードと接地ノードとの間に結合されるキャバシタ276と、インバータ272の出力を受けて反転して出力するインバータ278とを含む。遅延部254#2～254#nは遅延部254#1と同様な構成を有するため説明は繰返さない。

【0148】遅延部254#1～254#nの直列に接続される個数は、リードコマンドあるいはライトコマンドが入ったときにフレッシュ活性化期間に相当する第1のサイクル時間分だけ遅延させるように調整され、1サ

イクル遅延回路254は、ロウアクティブ遅延信号ACTDを発生する。

【0149】図19は、実施の形態2におけるロウ系信号の説明をするための動作波形図である。

【0150】図16、図19を参照して、時刻t1においてリフレッシュ要求信号がリードサイクルあるいはライトサイクルに入る前に発行された場合、リフレッシュ要求信号FAYに応じて内部リフレッシュコマンド信号REFが活性化され、さらにリフレッシュ活性化信号REF_RASが活性化される。

【0151】時刻t2、t3において、それぞれ外部アドレス信号exADRおよび外部リードコマンド信号exREADnが入力される。入力された外部リードコマンド信号exREADnに応じて発生されたロウアクティブコマンド信号ACTは、チップ内部がリフレッシュ動作中であるなしにかかわらず、1サイクル遅延回路254によって第1のサイクル時間分だけ遅延されてロウアクティブ遅延信号ACTDとしてロウ系タイミング制御回路48に伝達される。遅延期間である間はラッチ回路252によって遅延期間表示信号ACT_ACTDが活性化されている。したがって、この遅延されている期間の間にリフレッシュ要求信号FAYに応じたリフレッシュサイクルを終了させることができる。

【0152】時刻t4において1サイクル時間分遅延されたロウアクティブ遅延信号ACTDが活性化されるとロウ系タイミング制御回路48がノーマル動作信号ACT_RASを活性化しさらにワード線駆動マスタ信号RXTに応じてその後内部リードコマンド信号intREADおよび内部ブリチャージコマンド信号PREが所定のタイミングで順次活性化される。そして、時刻t5においてメモリアレイからデータが読出され、その後データ信号DQとして有効なデータが outputされる。

【0153】図20は、実施の形態2におけるロウ系信号の説明をするための第2の動作波形図である。

【0154】図16、図20を参照して、遅延期間表示信号ACT_ACTDまたはノーマル動作信号ACT_RASが活性化されている場合にリフレッシュ要求信号FAYが入力された場合について述べる。

【0155】時刻t1において外部アドレス信号exADRが入力され、時刻t2において外部リードコマンド信号exREADnが入力されると、図19で示した場合と同様にロウアクティブコマンド信号ACTが所定の時間だけ遅延されたロウアクティブ遅延信号ACTDが発生され応じてノーマル動作信号ACT_RASが活性化されて時刻t4～t6の間に読出動作が行なわれる。

【0156】そして、時刻t6においてノーマル動作信号ACT_RASが立下がるとリフレッシュコントロール回路250は、内部リフレッシュコマンド信号REFを活性化させてリフレッシュ動作に入る。

【0157】以上説明したように、実施の形態2におい

てはリフレッシュ動作中に読出コマンドあるいは書込コマンドが入力された場合でも、内部のメモリアレイで読出動作または書込動作が行なわれる場合は常に所定のリフレッシュ時間後であるため、リフレッシュ動作が終了してから読出または書込動作が行なわれることになる。

【0158】一方、リフレッシュが行なわれていないときに読出または書込コマンドが入力された場合には、リフレッシュ要求信号FAYが入力されても読出書込のノーマル動作が終了してからリフレッシュ動作が実行される。したがって、複雑なリフレッシュのコントロール信号を与える必要がなくDRAMと同様なインターフェイスでDRAMコアを使用することができる。

【0159】【実施の形態3】図21は、実施の形態3において用いられるDRAMコアMCRaの構成を示したブロック図である。

【0160】図21を参照して、DRAMコアMCRaは、2バンク構成のDRAMコアであり、メモリアレイMBに代えてメモリアレイMBaおよびMBbを含み、行選択系回路/コマンド発生系回路16に代えて行選択系回路/コマンド発生系回路316を含む点が図2に示したDRAMコアMCRと異なる。他の部分はDRAMコアMCRと同様であり説明は繰返さない。

【0161】行選択系回路/コマンド発生系回路316からは、ロウ系制御タイミング信号およびロウブリデコード信号が、各バンクごとに別の信号バスで伝達される。

【0162】図22は、図21における行選択系回路/コマンド発生系回路316の構成を示したブロック図である。

【0163】図22を参照して、行選択系回路/コマンド発生系回路316は、コマンド発生回路340と行選択制御回路341とを含む。

【0164】コマンド発生回路340は、図6に示したコマンド発生回路40の構成においてコマンド入力バッファ/ラッチ回路44に代えてコマンド入力バッファ/ラッチ回路344を含み、内部コマンド発生回路46に代えて内部コマンド発生回路446を含む点がコマンド発生回路40と異なっている。他の構成はコマンド発生回路40と同様であり説明は繰返さない。

【0165】コマンド入力バッファ/ラッチ回路344は、コマンド信号exREADn、exWRITEnが入力されたとき、リフレッシュ活性化信号REF_RASおよび最上位外部ロウアドレスRA_latch<1:1>の状態に応じてロウアクティブコマンド信号ACT0を内部コマンド発生回路に伝達する点が異なっている。内部コマンド発生回路346は、ワード線駆動マスタ信号RXT<1:0>の状態に応じて内部コマンド信号ACT<1:0>、PRE<1:0>を活性化する様に構成される点が異なっている。

【0166】行選択制御回路341は、図6における行

選択制御回路41の構成において、リフレッシュコントロール回路50に代えてリフレッシュコントロール回路350を含み、ロウ系タイミング制御回路48に代えてロウ系タイミング制御回路348を含み、ロウ系リフレッシュタイミング制御回路58に代えてロウ系リフレッシュタイミング制御回路358を含む点が行選択制御回路41と異なる。他の構成は行選択制御回路41と同様であり説明は繰返さない。

【0167】図22では、2バンクの構成の例においてバンクアドレスは最上位のロウアドレスRA<11>に割付けられており、またたとえば、ロウ系制御タイミング信号は、バンク別に、ロウアクティブコマンド信号ACT<1:0>、ワード線駆動マスタ信号RXT<1:0>、センスアンプ活性化信号SO<1:0>、内部ブリチャージコマンド信号PRE<1:0>のようにバンクに対応してそれぞれ与えられる。

【0168】リフレッシュコントロール回路350は、各バンクのノーマル動作信号ACT_RASおよび、アドレスQA<11>に応じて内部リフレッシュコマンド信号REFを発生する。また、ロウ系タイミング制御回路348、ロウ系リフレッシュタイミング制御回路358は、各バンクに対応するロウ系制御タイミング信号を出力する。

【0169】実施の形態3においては、リードやライトサイクルの通常動作を行なおうとするバンクとリフレッシュ中もしくはリフレッシュしようとするバンクとが同一バンクであった場合には、実施の形態1や実施の形態2で説明したように、DRAMコアは、通常動作またはリフレッシュ動作のいずれか一方を待機させて、その待機させた動作が第2のサイクルで行なわれるよう制御を行なう。または、DRAMコアは、第2のサイクルで行なわれる通常動作が終了してからリフレッシュ動作を行なわれるよう制御を行なう。

【0170】一方、通常動作でアクセスしようとするバンクとリフレッシュ中であったりこれからリフレッシュしようとするバンクとが別のバンクであった場合には、通常動作とリフレッシュ動作とを並行して第1のサイクルで行なうように制御することで実行的なリードやライトサイクル時間を短くすることができる。

【0171】図22に示す構成例においては、外部リードコマンド信号exREADnまたは外部ライトコマンド信号exWRITEnが入力された場合に、第1のバンクや第2のバンクがリフレッシュ中でリフレッシュ活性化信号REF_RAS信号が活性化されており、かつ、リフレッシュカウンタの最上位のアドレスQA<11>とバンクアドレスとなる最上位の外部ロウアドレスRA_latch<11>とが一致しておれば、実施の形態1の場合と同様にリフレッシュ動作が終わりリフレッシュ活性化信号REF_RASが非活性化状態になるまで待ってから第2のサイクルが生成される。第2のサ

イクルでは、外部ロウアドレスRA_latch<11>に従ってロウアクティブコマンド信号ACT<1>またはACT<0>を活性化してロウアクティブ動作に入り、リードやライト動作が行なわれる。

【0172】最上位アドレスQA<11>と外部ロウアドレスRA_latch<11>が一致していなければ、そのまま、ロウアクティブコマンド信号ACT<1>またはACT<0>を活性化してロウアクティブ動作に入り、リードやライト動作を行なわれる。

10 【0173】一方、リフレッシュ要求信号FAYが入力されてきた場合において第1のバンクあるいは第2のバンクがロウアクティブ中の場合、すなわち、ノーマル動作信号ACT_RAS<0>またはACT_RAS<1>が活性化されていた場合には、最上位アドレスQA<11>で指定されるリフレッシュを行なおうとするバンクと通常動作でアクセスを行なおうとするバンクとが一致すると、実施の形態1の場合と同様にノーマル動作信号ACT_RAS<0>あるいはACT_RAS<1>が非活性化されるまで待ってから第2のサイクルを生成しリフレッシュ動作に入る。バンクが一致しない場合にはそのままリフレッシュ動作に入る。

【0174】図23は、2バンク構成にした場合の行選択系回路/コマンド発生系回路の他の例を示したブロック図である。

【0175】図23に示す構成例においては、外部リードコマンド信号exREADnあるいは外部ライトコマンド信号exWRITEnが入力されたときには、実施の形態2の場合と同様に、遅延回路451内部の1サイクル遅延回路454の遅延時間によって、常に第1のサ

30 イクル時間分だけ遅延された第2のサイクルからロウアクティブ動作に入る。

【0176】一方、リフレッシュ要求信号FAYが入力されてきたときに最上位アドレスQA<11>で指定されるリフレッシュを行なおうとするバンクと遅延期間表示信号ACT_ACTD<1:0>およびノーマル動作信号ACT_RAS<1:0>から認識されるリードやライトの通常動作を行なおうとするもしくは通常動作中のバンクとが一致する場合には、実施の形態2の場合と同様なリフレッシュ動作開始タイミングの制御を行なう。

【0177】一方、リフレッシュを行なおうとするバンクとノーマル動作を行なおうとするバンクとが一致していなければそのままリフレッシュ動作に入る。

【0178】したがって、バンク構成を有する場合にも、SRAMと同様なインタフェースで動作させることができ可能なDRAMコアを実現することができる。

【0179】以上、リフレッシュ動作と通常アクセス動作とが競合した場合の説明をしたが、これを実現する回路構成において、各バンクのロウローカル制御ブロックに、ロウプリデコード信号X<19:0>を保持するラ

ラッチ回路を備えてもよい。

【0180】この際には、ロウアドレスイネーブル信号RADEと内部リフレッシュコマンド信号REFは同時に活性化されないように両者の活性化されるタイミングを適当な時間以上ずらすように制御する。このように制御すれば、リードあるいはライト動作でのロウブリデコード信号X<19:0>とリフレッシュ動作でのロウブリデコード信号X<19:0>が衝突することなく本実施の形態での動作が実現できる。

【0181】したがって、この場合には、ブロック選択信号BS<7:0>で選択されたロウローカル制御ブロックにロウブリデコード信号X<19:0>を取込んだ後は、ロウローカル制御ブロックにロウブリデコード信号X<19:0>を伝達する信号線バスを開放できる。ロウブリデコード信号のバスをバンク間で共有することができるため、チップ面積を小さくすることができる。

【0182】【実施の形態4】実施の形態4の半導体記憶装置では、図6に示した外部コマンド入力バッファ／ラッチ回路4-4および外部ロウアドレスRA<11:0>を受ける入力バッファ／ラッチ回路5-2が同期型インターフェイスを有する場合を説明する。

【0183】図2-4は、実施の形態4において用いられる同期型インターフェイスを説明するための回路図である。

【0184】図2-4を参照して、コマンド入力バッファ／ラッチ回路CBL-Cの前段部には、外部ライトコマンド信号extWRITEnをクロック信号CLK, ZCLKに応じて取込むラッチ回路6-02と、外部リードコマンド信号extREADnをクロック信号CLK, ZCLKに応じて同期して取込むラッチ回路6-04とが設けられる。たとえば、実施の形態1の半導体記憶装置を同期化させる場合には、図6で示したコマンド入力バッファ／ラッチ回路4-4が図2-4のコマンド入力バッファ／ラッチ回路CBL-Cに対応する。

【0185】ラッチ回路6-02は内部リードコマンド信号intWRITEnをコマンド入力バッファ／ラッチ回路CBL-Cに対して出力し、ラッチ回路6-04は、内部リードコマンド信号intREADnをコマンド入力バッファ／ラッチ回路CBL-Cに向かって出力する。

【0186】ラッチ回路6-02は、クロック信号CLKおよびZCLKに応じて外部ライトコマンド信号extWRITEnを受ける直列に接続されたインバータ6-12, 6-14と、トランスマッショングート6-10と相補的に導通しインバータ6-14の出力をインバータ6-12の入力に帰還させるためのトランスマッショングート6-22と、インバータ6-14の出力を受けクロック信号CLKおよびZCLKに応じて導通し伝達するためのトランスマッショ

ンゲート6-16と、トランスマッショングート6-16によって伝達されたデータを受ける直列に接続されたインバータ6-18, 6-20と、トランスマッショングート6-16と相補的に導通しインバータ6-20の出力をインバータ6-18の入力に帰還させるトランスマッショングート6-24とを含む。

【0187】インバータ6-20の出力はラッチ回路6-02の出力であり、これは内部ライトコマンド信号intWRITEnとなる。

10 【0188】ラッチ回路6-04はラッチ回路6-02と同様な構成を有しており説明は繰返さない。

【0189】図2-5は、実施の形態4において外部ロウアドレスをクロック信号に同期して入力するための入力バッファ／ラッチ回路5-5-2の構成を示すブロック図である。

【0190】図2-5を参照して、入力バッファ／ラッチ回路5-5-2は、外部ロウアドレス信号RA<11:0>をクロック信号CLKおよびZCLKに応じて同期化して取込むラッチ回路6-3-2と、ラッチ回路6-3-2の出力を信号bufRWおよびロウアドレスイネーブル信号RADEに応じて取込み内部ロウアドレス信号intRA<11:0>を出力するラッチ回路6-3-4とを含む。

【0191】図2-5に示した入力バッファ／ラッチ回路5-5-2は、図6における入力バッファ／ラッチ回路5-2に代えて用いられ、ラッチ回路6-3-4の構成は図6における入力バッファ／ラッチ回路5-2と同様であり説明は繰返さない。また、ラッチ回路6-3-2は、図2-4で示したラッチ回路6-02と同様な構成を有するため説明は繰返さない。

30 【0192】以上説明したように、実施の形態4においては、実施の形態1で説明した半導体記憶装置の外部リードコマンド信号extREADnおよび外部ライトコマンド信号extWRITEnと、さらに外部ロウアドレス信号RA<11:0>をクロック信号に同期化して取込むインターフェイスを付加したものであり、したがって同期型半導体記憶装置をDRAMコアとして内蔵する場合においても、リフレッシュ制御のための複雑な制御信号を与える必要がない混載用DRAMコアブロックを実現することができる。

40 【0193】なお、実施の形態2、実施の形態3において説明した構成も、同様な同期型インターフェイスを付加すれば同期型半導体記憶装置に適用することが可能となる。

【0194】以上説明した実施の形態1～4においては、リフレッシュ要求信号FAYをそのまま使用するかもしれないは遅延させて使用して応じて内部リフレッシュコマンド信号REFを発生させる構成を説明したが、たとえば、リードあるいはライトサイクルに入ったときにまず無条件に内部リフレッシュコマンド信号REFを活性化するような構成にしてもよい。

【0195】その際に、既にリフレッシュ要求信号F A Yによるリフレッシュ動作中であった場合には、コマンドに応じて無条件に発生される内部リフレッシュコマンド信号R E Fは無効になる。リードあるいはライトサイクルにおいて無条件に発生される内部リフレッシュコマンド信号R E Fに従ってリフレッシュがされる場合には、実施の形態1～実施の形態4で説明したような制御を行なえばよい。

【0196】【実施の形態5】システムL S Iでは、図1に示したように大規模ロジックとDRAMコアとを組合せてワンチップのL S Iとするが、大規模ロジック部L Gは、ユーザの仕様に基づき様々な回路が組み込まれることが多い。このような場合に、大規模ロジックからDRAMコアに与えられるアドレス信号が、一時的に予定していない変化をする場合がある。このような、アドレス信号のノイズによる変化に対してDRAMコアは誤動作しないことが望ましい。

【0197】図26は、実施の形態5において用いられる行選択系回路/コマンド発生系回路600の構成を示すブロック図である。

【0198】行選択系回路/コマンド発生系回路600は、図6に示した行選択系回路/コマンド発生系回路16に代えて用いられる。図26を参照して、行選択系回路/コマンド発生系回路600は、行選択系回路/コマンド発生系回路16の構成において、行選択制御回路41に代えて行選択制御回路602を含む。

【0199】行選択制御回路602は、行選択制御回路41の構成において、入力バッファ/ラッチ回路52、ロウ系タイミング制御回路48に代えてそれぞれ入力バッファ/ラッチ回路604、ロウ系タイミング制御回路606を含む点が行選択制御回路41と異なる。

【0200】入力バッファ/ラッチ回路604は、ロウアドレス信号R A<11:0>を信号b u f R Wおよびロウアドレスイネーブル信号R A D Eに応じて取込みロウアドレス信号R A _ L A T 1<11:0>としてセレクタ56に与える一方で、制御信号Pを発生しロウ系タイミング制御回路606に与える。

【0201】他の構成は、図6に示した行選択系回路/コマンド発生系回路16と同様であり説明は繰返さない。

【0202】図27は、図26における入力バッファ/ラッチ回路604の構成を示す回路図である。

【0203】図27を参照して、入力バッファ/ラッチ回路604は、ロウアドレスR A<11:0>をラッチして信号R A _ L A T 0<11:0>を出力する入力バッファ&ラッチ回路612と、制御信号Pおよびロウアドレスイネーブル信号R A D Eに応じて信号R A _ L A T 0<11:0>を取込み保持し、信号R A _ L A T 1<11:0>を出力するラッチ回路614とを含む。信号R A _ L A T 1<11:0>は、図26のセレクタ56に与えられる。

【0204】入力バッファ/ラッチ回路604は、さらに、信号R A _ L A T 0<11:0>の変化を検出し検出信号A T Dを出力するA T D発生回路616と、検出信号A T Dを遅延させて信号A T D_d e l a yを出力する遅延回路618と、信号A T D_d e l a yに応じて活性化し、信号R A _ L A T 0<11:0>と信号R A _ L A T 1<11:0>とを比較する比較回路620とを含む。比較回路620は、制御信号Qを出力する。

【0205】制御信号Qは、比較回路620が非活性化状態にある場合はL レベルとなる。一方、比較回路620が活性化され比較動作を行ない、信号R A _ L A T 0<11:0>と信号R A _ L A T 1<11:0>とが一致した場合には、制御信号QはL レベルのままであり、不一致の場合は制御信号Qは一定時間パルス状にH レベルに活性化される。

【0206】入力バッファ/ラッチ回路604は、さらに、制御信号Qを遅延させ信号Q_d e l a yを出力する遅延回路622と、信号Q_d e l a y、P R Eを第21、第22の入力にそれぞれ受ける3入力のN O R回路626と、制御信号QおよびN O R回路626の出力を受けるN O R回路624とを含む。N O R回路626の第3の入力にはN O R回路624の出力が与えられる。

【0207】入力バッファ/ラッチ回路604は、さらに、N O R回路624の出力を受けて反転するインバータ628と、インバータ628の出力および信号b u f R Wを受けて制御信号Pを出力するO R回路630とを含む。

【0208】図28は、図27における入力バッファ&ラッチ回路612とラッチ回路614の構成例を示す回路図である。

【0209】図28を参照して、入力バッファ&ラッチ回路612は、ロウアドレス信号R A<11:0>を受けて反転するインバータ712と、インバータ712の出力を受けて反転し信号R A _ L A T 0<11:0>を出力するインバータ714と、インバータ714の出力を受けて反転しインバータ714の入力に帰還させるインバータ716とを含む。

【0210】ラッチ回路614は、制御信号Pを受けて反転するインバータ722と、制御信号Pおよびインバータ722の出力に応じて導通し、信号R A _ L A T 0<11:0>を伝達するトランスマッショングート724と、トランスマッショングート724によって伝達された信号R A _ L A T 0<11:0>を受けて反転するインバータ726と、インバータ726の出力を受けて反転してインバータ726の入力に帰還させるインバータ728とを含む。

【0211】ラッチ回路614は、さらに、ロウアドレスイネーブル信号R A D Eを受けて反転するインバータ50730と、ロウアドレスイネーブル信号R A D Eおよび

インバータ730の出力に応じて導通し、インバータ726の出力を伝達するトランスマッショングート732と、トランスマッショングート732によって伝達されたインバータ726の出力を受けて反転し信号RA_LAT0<11:0>を出力するインバータ734と、インバータ734の出力を受けて反転してインバータ734の入力に帰還させるインバータ736とを含む。

【0212】図29は、図27におけるATD回路616の構成例を示す回路図である。図29を参照して、ATD回路616は、信号RA_LAT0<0>～RA_LAT0<11>をそれぞれ受けて遅延させる遅延回路672～676と、信号RA_LAT0<0>～RA_LAT0<11>および遅延回路672～676の出力をそれぞれ受けるEXOR回路682～686と、EXOR回路682～686の出力を受けて検出信号ATDを出力するOR回路688とを含む。

【0213】信号RA_LAT0<0>が一定時間変化しないときは、遅延回路672の出力は信号RA_LAT0<0>と等しいので、EXOR回路の出力はLレベルとなる。信号RA_LAT0<0>が変化すると、遅延回路672の遅延時間分EXOR回路682に入力される信号は不一致となるので、EXOR回路682はその遅延時間分の幅を有するパルスを出力する。

【0214】他のアドレス信号ビットRA_LAT0<1>～RA_LAT0<11>に対しても同様に変化が検出され、OR回路688によっていざれかのアドレスビットが変化したときに検出信号ATDとしてパルスが outputされる。

【0215】図30は、図26におけるロウ系タイミング制御回路606の構成を示す回路図である。

【0216】図30を参照して、ロウ系タイミング制御回路606は、信号ACTと信号PREとをそれぞれ一方の入力に受け、出力が互いに他方の入力に交差結合されるNAND回路642、644と、NAND回路642の出力を受けて反転し信号ACT_RASを出力するインバータ646と、NAND回路642の出力を受けて入力波形の立上りエッジを遅延させる立上り遅延回路648と、立上り遅延回路648の出力を受けて入力波形の立下りエッジを遅延させる立下り遅延回路650とを含む。立下り遅延回路650は、ロウアドレスイネーブル信号RADEを出力する。

【0217】ロウ系タイミング制御回路606は、さらに、NAND回路642の出力を受けて入力波形の立上りエッジを遅延させる立上り遅延回路652と、立上り遅延回路652の出力を受けて入力波形の立下りエッジを遅延させる立下り遅延回路654と、制御信号Pを受けて反転するインバータ656と、インバータ656の出力と立下り遅延回路654の出力を受けてワード線駆動タイミング信号RXTを出力するAND回路658とを含む。

【0218】ロウ系タイミング制御回路606は、さらに、NAND回路642の出力を受けて入力波形の立上りエッジを遅延させる立上り遅延回路660と、立上り遅延回路660の出力を受けて入力波形の立下りエッジを遅延させる立下り遅延回路662と、制御信号Pを受けて反転するインバータ664と、インバータ664の出力波形の立下りを遅延させる立下り遅延回路665と、立下り遅延回路665の出力と立下り遅延回路662の出力を受けてセンスアンプ活性化信号SOを出力するAND回路666とを含む。

【0219】図31は、行選択系回路／コマンド発生系回路600の動作を説明するための動作波形図である。

【0220】図26、図31を参照して、時刻t1において、アドレスノイズADNがロウアドレス信号RA<11:0>に現れる。続いて時刻t2において、コマンド信号exREADが入力されると、図26のAND回路の出力の信号bufRWはLレベルに活性化される。すると、図27のOR回路の出力である制御信号PはLレベルに立下り、図28中のトランスマッショングート724が閉じるので、ラッチ回路614はアドレスノイズADNをラッチする。

【0221】続いて、時刻t3において、正規のアドレスデータAD1がロウアドレス信号RA<11:0>としてロジック部から与えられる。アドレスデータAD1は、アドレスラッチ612の出力まで伝達される。つまり、信号RA_LAT0<11:0>としてアドレスデータAD1が出力される。

【0222】信号RA_LAT0<11:0>の変化に応じて信号ATDにワンショットパルスが現れる。一方、ラッチ614の入力部のトランスマッショングート724は、制御信号PがLレベルであるため閉じている。したがって、信号RA_LAT1<11:0>としては、アドレスノイズADNが出力されている。

【0223】時刻t4において、信号ATDのパルスが遅延されて信号ATD_de1ayにパルスが現れる。と、図27の比較回路620によって信号RA_LAT0<11:0>、RA_LAT1<11:0>が比較される。信号RA_LAT0<11:0>はアドレスデータAD1であり、一方信号RA_LAT1<11:0>はアドレスノイズADNであるので、比較の結果信号Qが活性化される。そして、信号Qの変化に応じて制御信号Pが再びHレベルとなり、ラッチ614はデータを取込む。つまり、信号RA_LAT1<11:0>もアドレスデータAD1に変化する。

【0224】時刻t5において、信号Qの遅延信号Q_de1ayにパルスが現れると、再び制御信号PはLレベルとなり、ラッチ614のデータは確定する。また、制御信号Pの立下りに応じて図30のAND回路658によってワード線駆動タイミング信号RXTが活性化され、また、立下り遅延回路665によって立上りが遅れ

てAND回路658の出力であるセンスアンプ活性化信号SOも時刻t6に活性化する。

【0225】時刻t4～t5の間、すなわち遅延回路622によって定まる時間は、制御信号PがHレベルとなる。このHレベルを保持する期間は、正規の内部アドレスAD1から生成されるブロックデコード信号BS<7:0>、ブリデコード信号X<19:0>がサブブロック内で処理されるまで、ワード線駆動タイミング信号RXT、センスアンプ活性化信号SOの活性化のタイミングを遅らせるために用いられている。

【0226】時刻t7において、信号PREに応じてノーマル動作信号ACT_RAS、ワード線駆動タイミング信号RXT、センスアンプ活性化信号SOがLレベルに立下る。

【0227】以上説明したように、実施の形態5に示した構成とすれば、DRAMコア外部から与えられるリード/ライトコマンドの入力に応じて取込んだアドレスがノイズによるアドレス変化であり、正規のアドレスがその後に入力された場合には、アドレス変化を認識して正規のアドレスに応じてアクセスが行なわれる。

【0228】【実施の形態6】図32は、実施の形態6において用いられる入力バッファ/ラッチ回路700の構成を示す回路図である。

【0229】図32を参照して、入力バッファ/ラッチ回路700は、図27に示した入力バッファ/ラッチ回路604の構成に加えて、信号bufRWの波形の立下りを遅延させる立下り遅延回路702と、立下り遅延回路702の出力とOR回路630の出力とを受けるAND回路704とを含む。そして、AND回路704の出力が制御信号Pとなる。他の構成は、入力バッファ/ラッチ回路604と同様であり、説明は繰返さない。

【0230】図33は、入力バッファ/ラッチ回路700の動作を簡単に説明するための動作波形図である。

【0231】図32、図33を参照して、時刻t1からアドレスアクセスサイクルが開始されるとする。時刻t2にコマンド信号に応じて信号bufRWが変化しアドレスがラッチされるが、後に正規のアドレスが入力された場合は正規のアドレスがラッチされるのは、図31で説明した通りである。

【0232】時刻t3において、立下り遅延回路702により信号bufRWの立下りが遅延される。立下り遅延回路702の出力波形が、波形W702として示される。この波形W702がAND回路704に与えられるので、制御信号Pは時刻t3～t4の間Lレベルに固定され、この間にロウアドレス信号RA<11:0>に変化が生じたとしてもラッチ回路614に新たなアドレスが取込まれることはない。

【0233】つまり、時刻t3以降にアドレス変化を検出しても、所定のリードサイクル期間内にデータの読出を終了することができないので、時刻t3以降のアドレ

ス変化を無効にすることにより、動作の安定化を図っている。

【0234】再び、図30、図32を参照して、まず、アドレス変化が検出されると、遅延回路618により定められた時間後に比較回路620による比較動作が行われる。続いて、遅延回路622により定められた時間後に制御信号Pが変化するので、ラッチ回路614の出力は確定される。

【0235】ただし、コマンド入力がされてから立下り遅延回路702で規定される時間経過後にアドレス変化がおこったときは、AND回路704のため制御信号Qは制御信号Pには影響を与えない。また、アドレス変化が検出され比較結果に応じて、いったん制御信号PがHレベルとなっても、立下り制御回路702で規定される時間経過がなされると、遅延回路622の遅延時間経過を待たずして、制御信号はLレベルに立下りラッチ回路614の保持アドレスが確定する。そして、その後、図33の時刻t3以降にワード線の活性化等が行われる。

【0236】つまり、実施の形態5に示した構成に加えて、リード/ライトコマンドが入力されてから所定の時間経過後のアドレス変化を無効にし、動作の安定化を図るという効果がある。この所定の時間は、図32の立下り遅延回路702の遅延時間によって定められるが、製品規格で定められたサイクル時間とメモリアレイのロウアドレスアクセスのサイクル時間の実力値との差に応じて立下り遅延回路702の遅延時間が設定される。

【0237】たとえば、図4で説明したように、低速DRAMの製品規格70nsに対してDRAMの動作が2サイクル可能である場合は、立下り遅延回路702の遅延時間は製品規格のリードサイクル時間tRCの半分の値に設定される。

【0238】【他の適用例】上述の説明においては、混載DRAMについて説明している。しかしながら、本発明は、一般に、DRAMであれば適用が可能である。

【0239】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0240】【発明の効果】請求項1～3に記載の半導体記憶装置は、アクセスコマンドが入力され、通常動作が行なわれているときに、リフレッシュ要求信号が発生したときにはメモリアレイにおける通常動作の終了を待ってリフレッシュを行なう。したがって、リフレッシュの制御を意識せず簡単な制御信号を与えることで動作可能なDRAMコアを実現できる。

【0241】請求項4、5に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加え

て、リフレッシュ要求信号が発生しメモリアレイでリフレッシュ動作が行なわれている場合に、アクセスコマンドが入力されてきたときにはリフレッシュ動作の終了を待って通常の読出、書込等のアクセスを行なう。したがって、リフレッシュの制御を意識せず簡単な制御信号を与えることで動作可能なDRAMコアを実現できる。

【0242】請求項6、7に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、アクセスコマンドは、常にリフレッシュサイクル以上遅延されて実行される。したがって、リフレッシュ要求とアクセスコマンドが競合した場合でも、次のサイクルにおいて確実にリフレッシュ動作をすることができる。

【0243】請求項8に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、コマンド入力がされてからメモリアレイよりデータが出力されるまでの時間が変化する場合でも、データを保持し、出力制御信号でデータ出力のタイミングを調整するので、DRAMコアから外部に出力されるデータのアドレスアクセス時間を一定に保つことができる。

【0244】請求項9に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、アクセスコマンドに対応する行アドレスとリフレッシュに対応する行アドレスとを適切なタイミングでメモリアレイに伝達することができる。

【0245】請求項10に記載の半導体記憶装置は、請求項9に記載の半導体記憶装置の奏する効果に加えて、メモリアレイに複数のバンクが含まれている場合には、実効的な処理速度を上げることができる。

【0246】請求項11、12に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、同期型半導体記憶装置をDRAMコアとして内蔵することができる。

【0247】請求項13、14に記載の半導体記憶装置は、アドレス信号に予期せぬ短時間のノイズが現れた場合にも、誤ったアドレスからデータを読出す誤動作を防ぐことができる。

【0248】請求項15に記載の半導体記憶装置は、請求項14に記載の半導体記憶装置の奏する効果に加えて、ノイズを一旦取込んでも、その後正しいアドレスを再度取込むので正常な動作に復帰させることができる。

【0249】請求項16、17に記載の半導体記憶装置は、請求項13に記載の半導体記憶装置の奏する効果に加えて、リードサイクル期間にデータを読出しができない場合はそれまでに保持していたアドレスに基づきメモリに対するアクセスを行なうので、動作の安定化を図ることができる。

【図面の簡単な説明】

【図1】 本発明のDRAM内蔵システムLSIの構成を概略的に示す図である。

【図2】 図1におけるDRAMコアMCRの構成を示した概略ブロック図である。

【図3】 図2におけるメモリアレイMBの構成を概略的に示した図である。

【図4】 図3におけるサブメモリアレイSMAとその周辺に配置されるサブワードドライバSWDおよびセンスアンプSAとの接続関係を概略的に示した図である。

【図5】 図4におけるメモリセルMCの構成例を示した回路図である。

10 【図6】 図2における行選択系回路/コマンド発生系回路16の構成を示すブロック図である。

【図7】 図6に示したコマンド入力バッファ/ラッチ回路44の構成を示す回路図である。

【図8】 図7に示したパルス発生回路78の構成を示す回路図である。

【図9】 図8に示したパルス発生回路78の動作を説明するための動作波形図である。

【図10】 図6におけるリフレッシュコントロール回路50の構成を示す回路図である。

20 【図11】 図6における入力バッファ/ラッチ回路52の構成を示す回路図である。

【図12】 実施の形態1におけるロウ系回路の動作を説明するための読出時における第1の動作波形図である。

【図13】 ロウ系回路の動作を説明するための読出時の第2の動作波形図である。

【図14】 書込時におけるロウ系信号を説明するための第1の動作波形図である。

30 【図15】 書込時におけるロウ系回路の動作を説明するための第2の動作波形図である。

【図16】 実施の形態2において行選択系回路/コマンド発生系回路16に代えて用いられる行選択系回路/コマンド発生系回路216の構成を示すブロック図である。

【図17】 図16のリフレッシュコントロール回路250の構成を示す回路図である。

【図18】 図16における1サイクル遅延回路254の構成を示す回路図である。

40 【図19】 実施の形態2におけるロウ系信号の説明をするための動作波形図である。

【図20】 実施の形態2におけるロウ系信号の説明をするための第2の動作波形図である。

【図21】 実施の形態3において用いられるDRAMコアMCRaの構成を示したブロック図である。

【図22】 図21における行選択系回路/コマンド発生系回路316の構成を示したブロック図である。

【図23】 2バンク構成にした場合の行選択系回路/コマンド発生系回路の他の例を示したブロック図である。

50 【図24】 実施の形態4において用いられる同期型イ

ンターフェイスを説明するための回路図である。

【図25】 実施の形態4において外部ロウアドレスをクロック信号に同期して入力するための入力バッファ/ラッチ回路552の構成を示すブロック図である。

【図26】 実施の形態5において用いられる行選択系回路/コマンド発生系回路600の構成を示すブロック図である。

【図27】 図26における入力バッファ/ラッチ回路604の構成を示す回路図である。

【図28】 図27における入力バッファ&ラッチ回路612とラッチ回路614の構成例を示す回路図である。

【図29】 図27におけるATD回路616の構成例を示す回路図である。

【図30】 図26におけるロウ系タイミング制御回路606の構成を示す回路図である。

【図31】 行選択系回路/コマンド発生系回路600の動作を説明するための動作波形図である。

【図32】 実施の形態6において用いられる入力バッファ/ラッチ回路700の構成を示す回路図である。

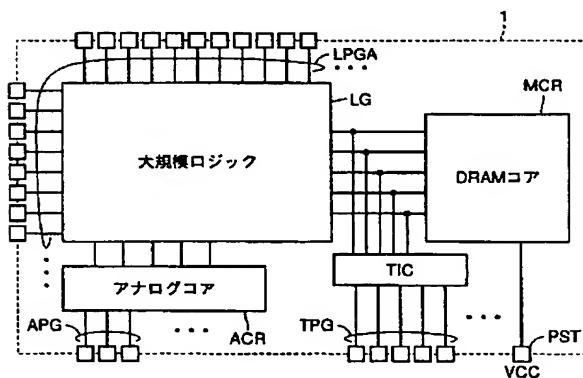
【図33】 入力バッファ/ラッチ回路700の動作を簡単に説明するための動作波形図である。

【図34】 従来のシステムLSIに内蔵されるDRAMの回路ブロックの構成を概略的に示す図である。 *

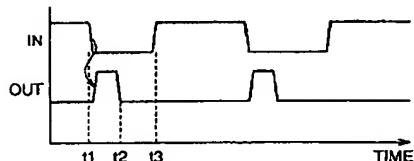
* 【符号の説明】

14 列選択系回路、16, 216, 316 行選択系回路/コマンド発生系回路、20 データ入出力制御回路、40, 240, 340 コマンド発生回路、41, 241, 341 行選択制御回路、42 AND回路、44, 244, 344 コマンド入力バッファ/ラッチ回路、46, 346, 446 内部コマンド発生回路、48, 348 ロウ系タイミング制御回路、50, 350 リフレッシュコントロール回路、52, 252 入力バッファ/ラッチ回路、54リフレッシュカウンタ、56 セレクタ、58, 358 ロウ系リフレッシュタイミング制御回路、60 ブロックデコード回路、62 ロウブリデコード回路、74, 84, 124, 264, 552, 602, 604, 632, 634 ラッチ回路、76, 86, 90, 126, 266 OR回路、78, 88, 128, 268 パルス発生回路、112 遅延回路、250 リフレッシュコントロール回路、254 1サイクル遅延回路、MA0~MAm メモリアレイ、MB, MBa メモリアレイ、MC メモリセル、MCR, MCRA DRAMコア、MWD メインワードドライバ、PHK セルリフレッシュタイミングロック、RD ロウデコーダ、SB0~SBm+1 センスアンプ帯、SMA サブメモリアレイ、SML サブワード線。

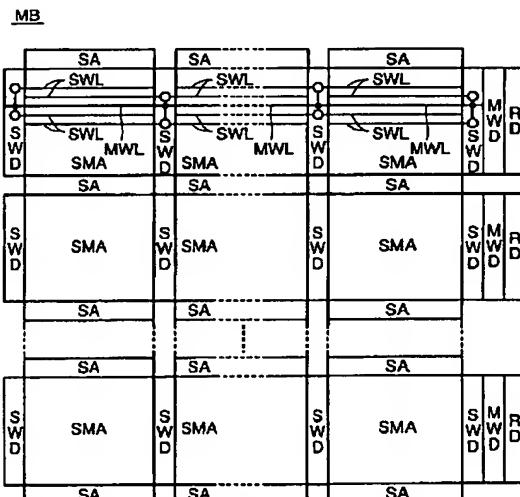
【図1】



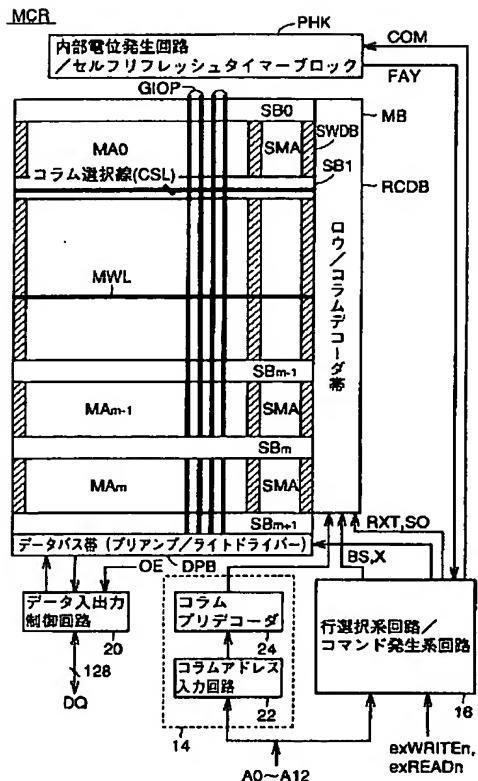
【図9】



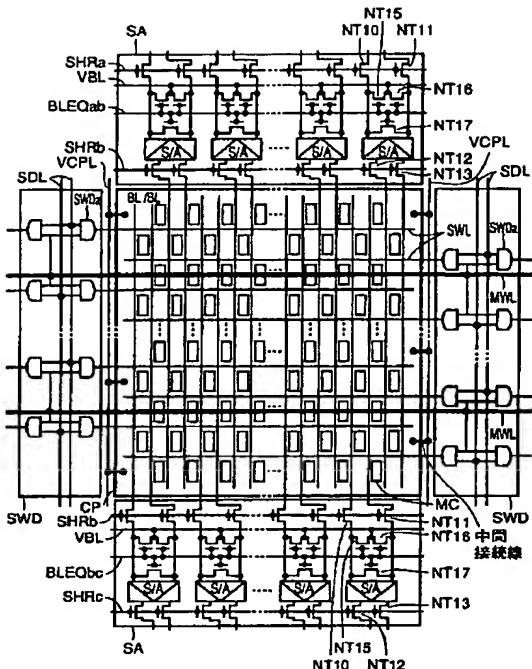
【図3】



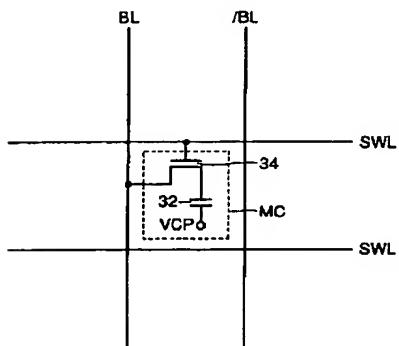
[図2]



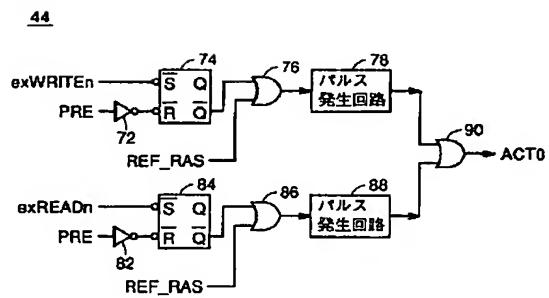
[図4]



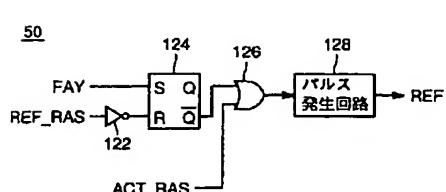
[図5]



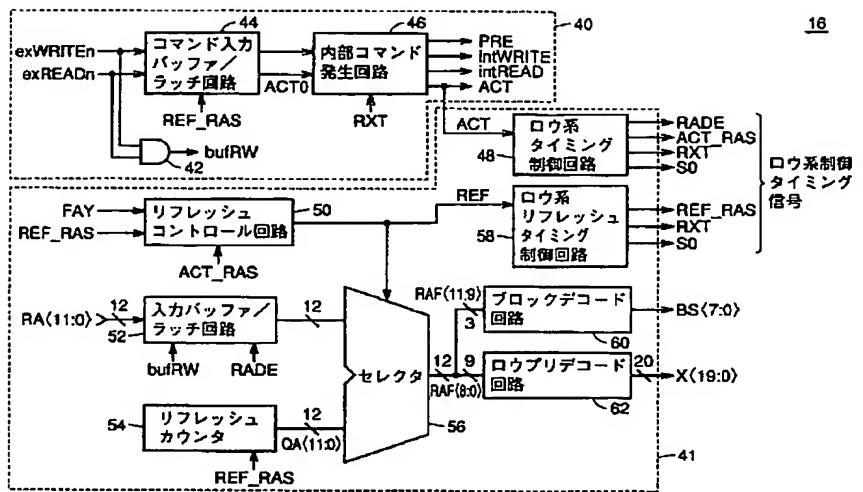
[図7]



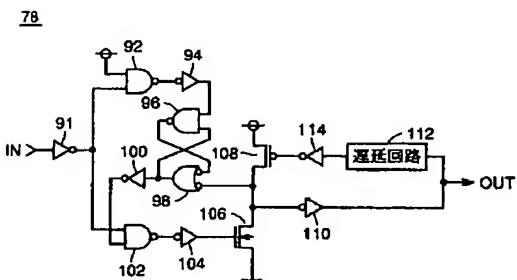
[图10]



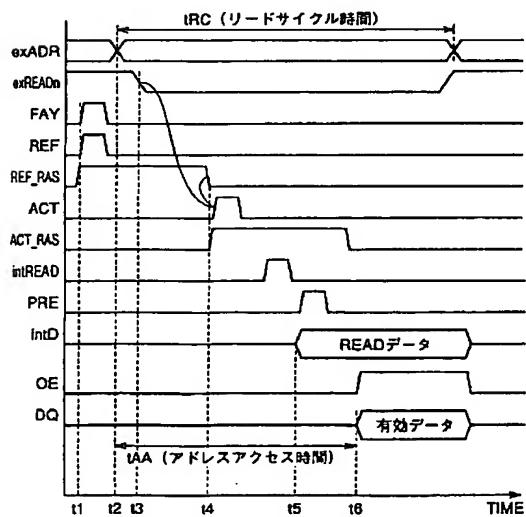
【図6】



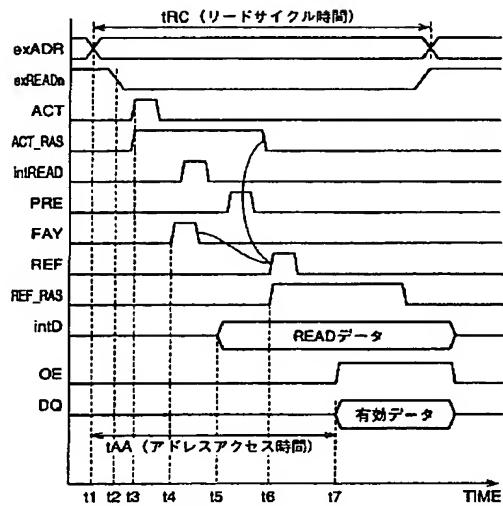
【図8】



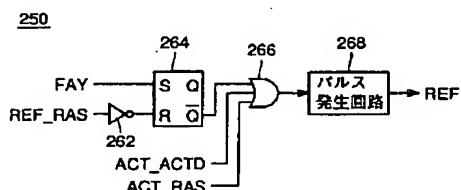
【図13】



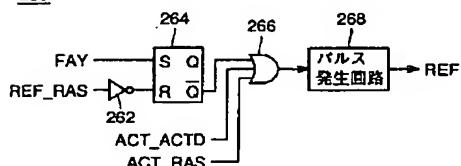
【図12】



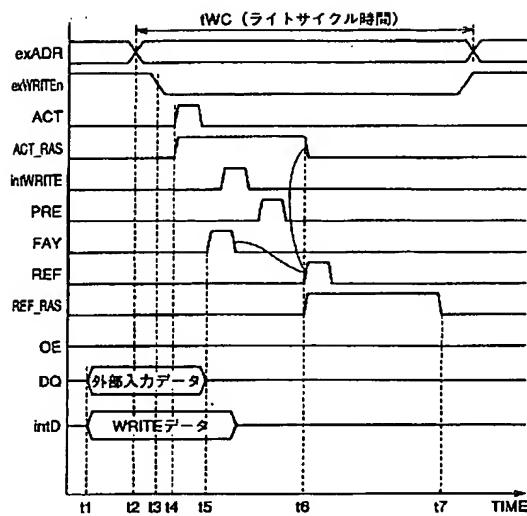
【図17】



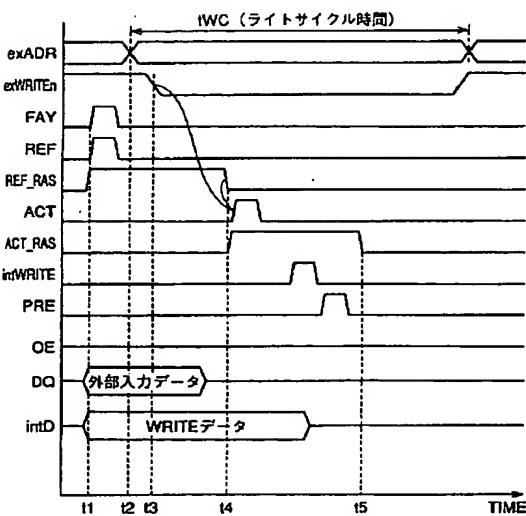
250



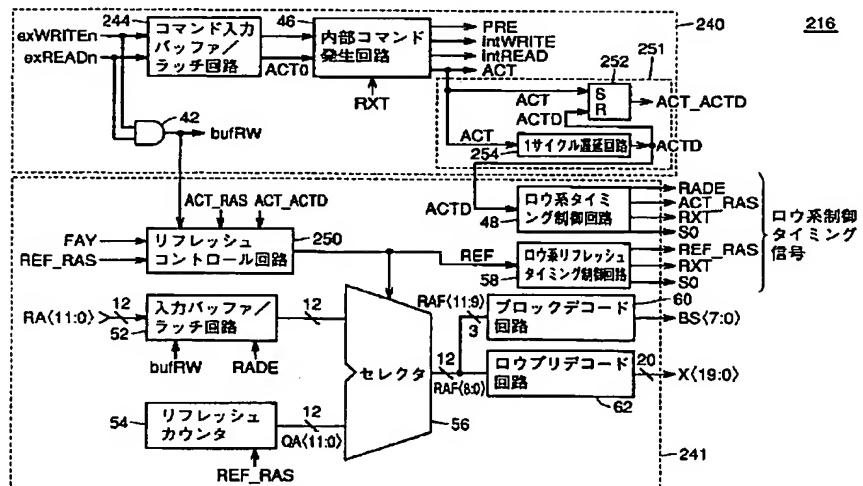
【図14】



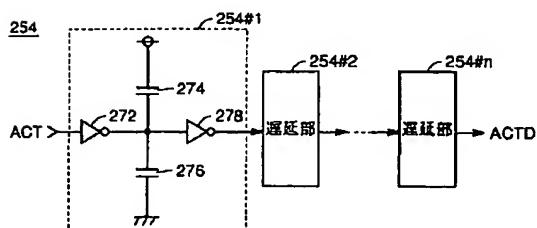
〔図15〕



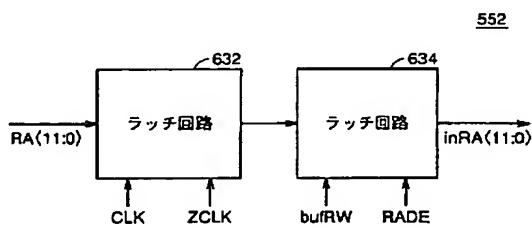
【図16】



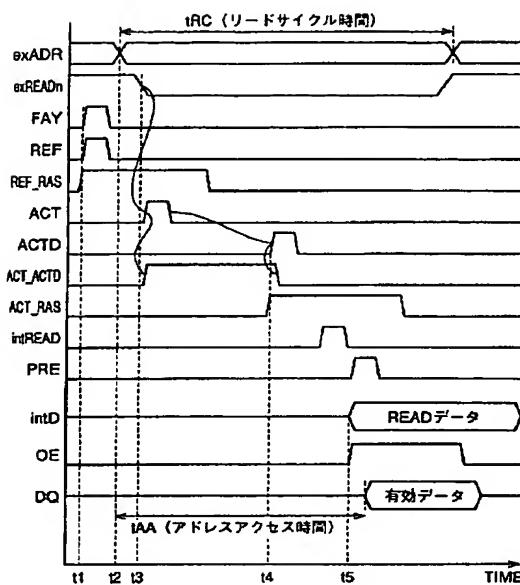
[図18]



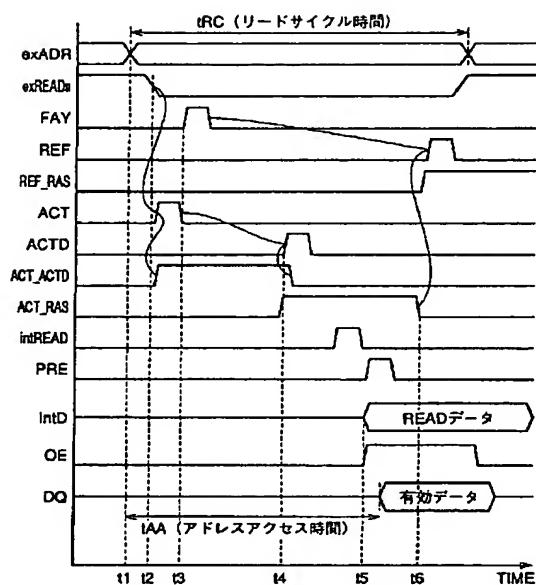
【図25】



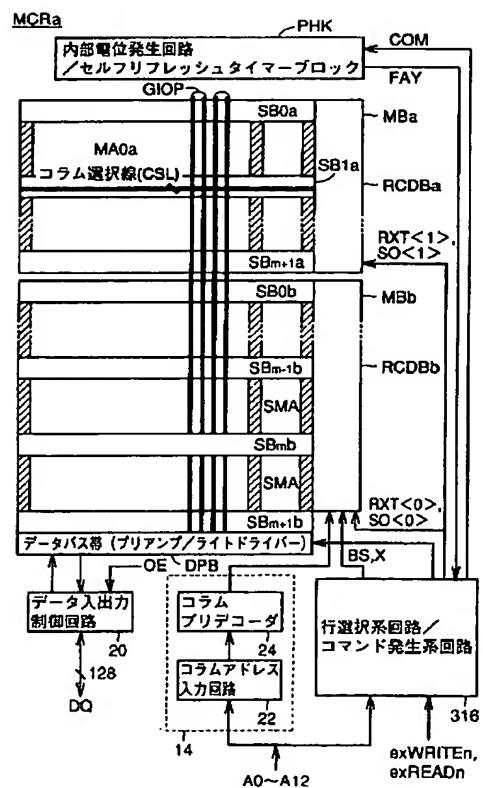
【図19】



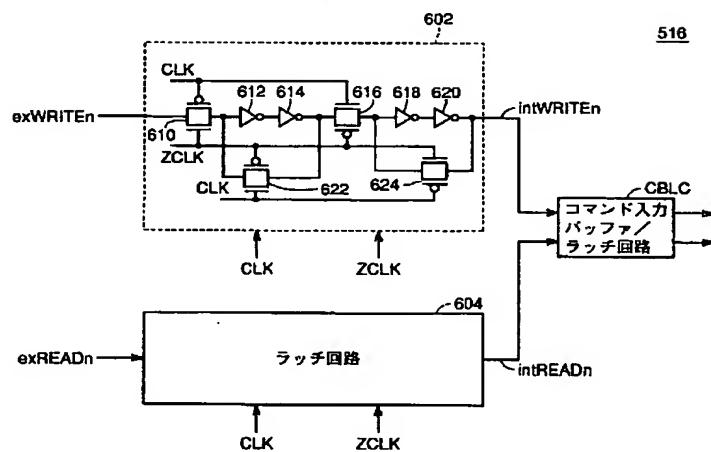
【図20】



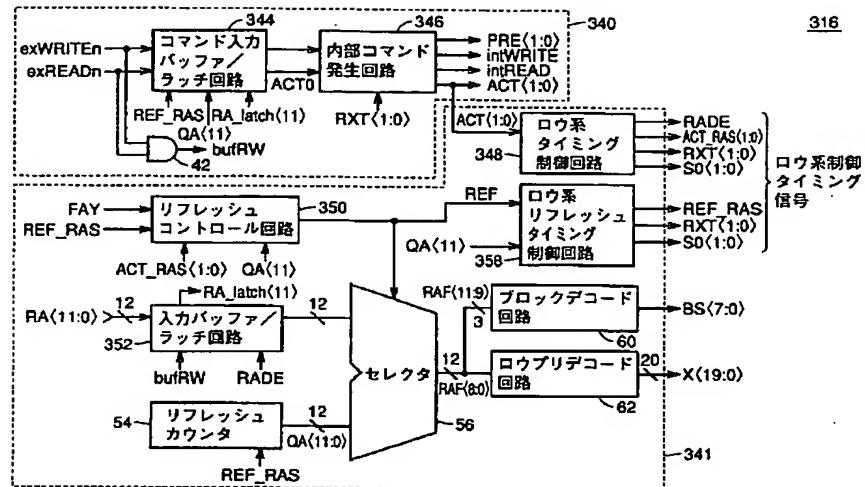
【図21】



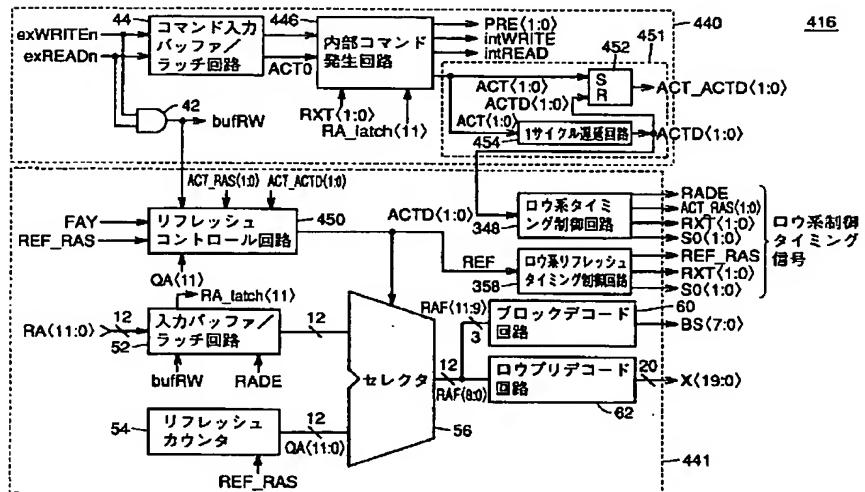
【図24】



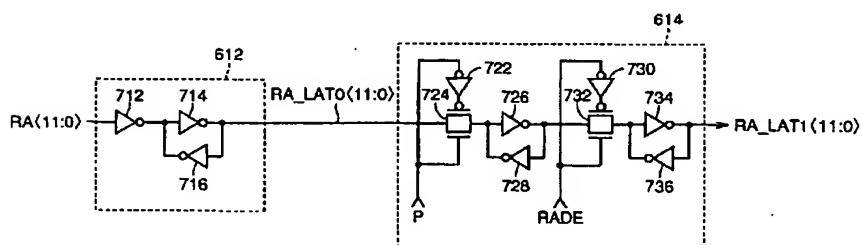
【図22】



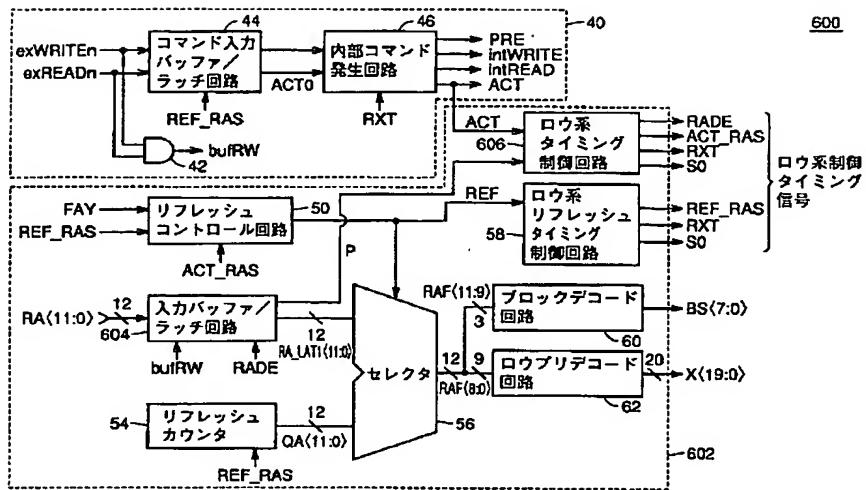
【図23】



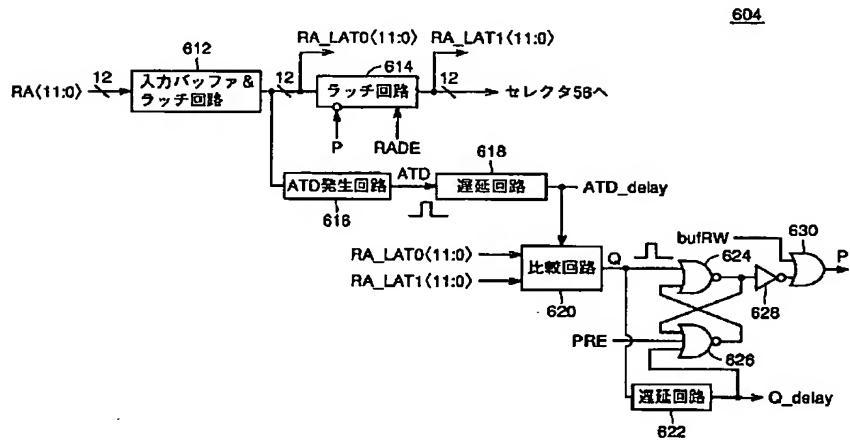
【図28】



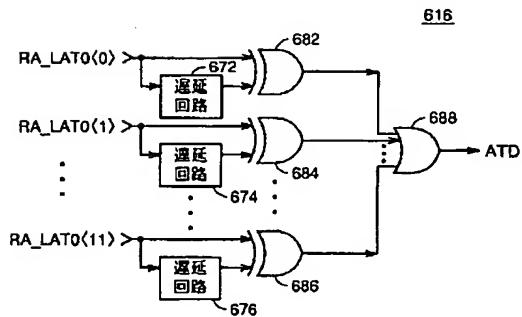
【图26】



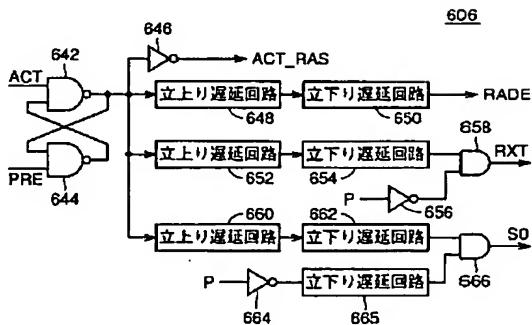
[図27]



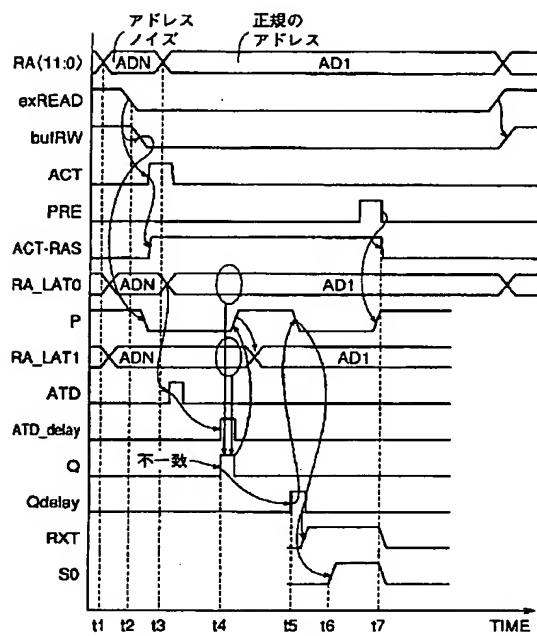
[図29]



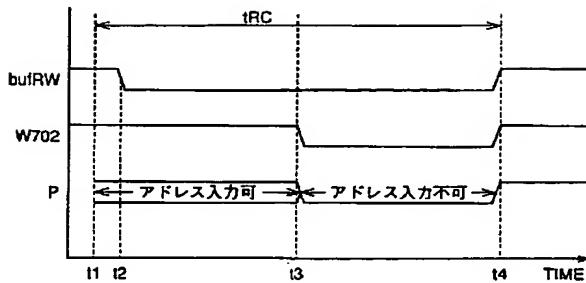
〔図30〕



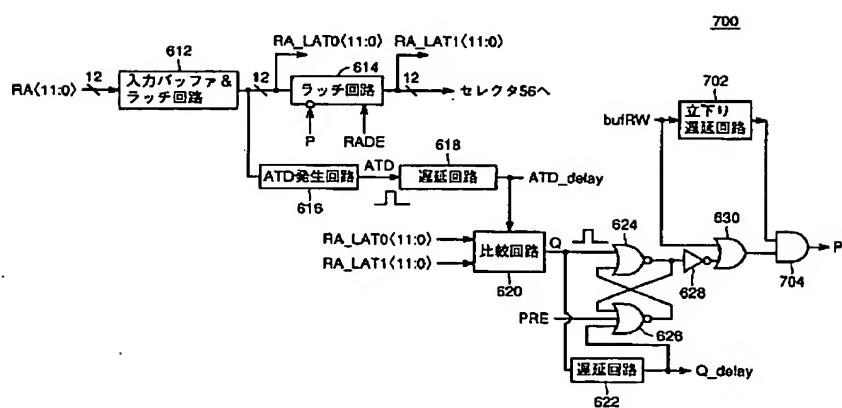
【図31】



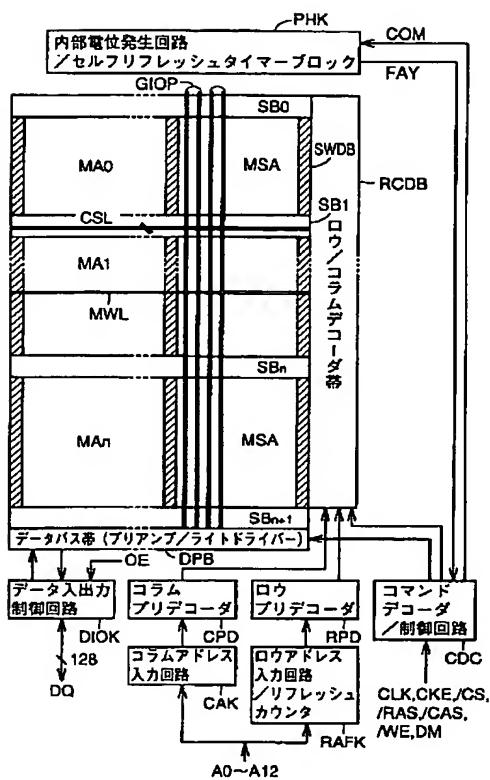
【図33】



【図32】



【図34】



フロントページの続き

F ターム(参考) 5B024 AA03 AA11 AA15 BA13 BA18
 BA20 BA21 BA23 BA29 CA07
 CA16 CA27 DA01 DA03 DA05
 DA08 DA10 DA18